

# IMPLEMENTAÇÃO DE MODELO ANALÍTICO CONTINUO PARA TRANSISTORES SOI NMOS DE CANAL GRADUAL

Eric Grilo Araujo<sup>1</sup>, Michelly de Souza

Departamento de Engenharia Elétrica – Centro Universitário FEI

ericgrilo.a@gmail.com; michelly@fei.edu.br

**Resumo:** Este projeto de iniciação científica tem como objetivo a implementação de um modelo analítico contínuo para transistores SOI nMOS de canal gradual em linguagem Verilog-A, a fim de permitir a simulação analítica de circuitos analógicos em simuladores do tipo SPICE.

## 1. Introdução

A tecnologia apresentada por transistores de tipo SOI tem sido de extrema importância para sustentar a redução de dimensões enfrentada pelo CMOS convencional. Com a tecnologia SOI (*Silicon On Insulator*) parte desses efeitos parasitários próprios da tecnologia CMOS convencional [1]. Transistores SOI apresentam diversas vantagens do ponto de vista analógico, tais como maior relação entre a transcondutância e a corrente de dreno e menor inclinação de sublimiar [2]. Entretanto, transistores SOI apresentam redução na tensão de ruptura. Com o objetivo de melhorar o desempenho analógico de transistores SOI, aumentando a tensão de ruptura e a resistência de saída, foi proposto um novo transistor, com perfil assimétrico de dopantes na região de canal, denominado transistor SOI de canal gradual (*Graded-Channel - GC*) [3, 4].

As figuras 1 e 2 apresentam respectivamente o perfil transversal de um SOI nMOSFET convencional e um SOI nMOSFET com perfil de dopantes assimétrico, indicando os eletrodos de porta ( $V_{GF}$ ), substrato ( $V_{GB}$ ), fonte ( $V_S$ ) e dreno ( $V_D$ ), as espessuras dos óxidos de porta ( $t_{oxf}$ ) e enterrado ( $t_{oxb}$ ) e da camada de silício ( $t_{Si}$ ), bem como as três interfaces Si-SiO<sub>2</sub> existentes na estrutura SOI. Conforme pode ser notado, o GC SOI MOSFET apresenta o canal dividido em duas regiões com dopagens diferentes. A redução da concentração de dopantes próximo ao dreno, reduz o campo elétrico, proporcionando aumento da tensão de ruptura, além do aumento da transcondutância e condutância de saída, tornando este transistor bastante atrativo para aplicações analógicas [3, 4].

Para que seja possível o projeto de circuitos analógicos é necessário utilizar simulações de tipo SPICE. Para que ocorra a simulação é necessário a existência de um modelo analítico contínuo do para descrever a corrente de dreno em função das tensões aplicadas, em todas as condições de polarização.

Neste trabalho, será realizada a implementação de um modelo analítico contínuo proposto para transistores SOI de canal gradual [5] em linguagem Verilog-A [6], que é válida para qualquer simulador do tipo SPICE.

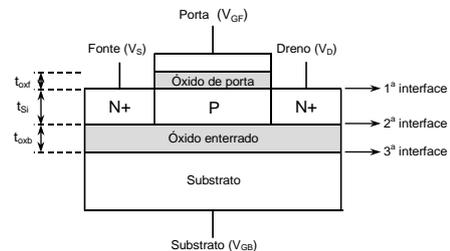


Figura 1 – Perfil transistor nMOSFET tecnologia SOI.

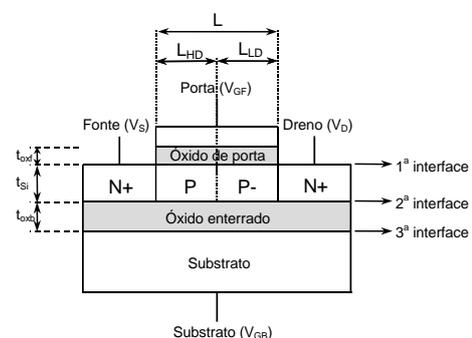


Figura 2 – Perfil do transistor SOI MOSFET perfil de dopantes assimétrico na região de canal

## 2. Transistores SOI MOSFET de Canal Gradual

Apesar do grande número de vantagens, os transistores SOI apresentam reduzida tensão de ruptura de dreno, devido ao efeito de corpo flutuante, que leva à ativação do transistor bipolar parasitário associado ao transistor MOS [7]. Diversas estruturas têm sido exploradas, tais como o SOI MOSFET de canal gradual.

Conforme apresentado na Figura 2, uma região com comprimento  $L_{LD}$  e dopagem natural da lâmina de silício é preservada próximo ao dreno, através do mascaramento da implantação iônica para ajuste da tensão de limiar. A parte remanescente do canal sofre a implantação iônica de ajuste de tensão de limiar ( $V_{th}$ ), fazendo com que a estrutura resultante possua  $V_{th}$  similar à de um transistor SOI convencional (uniformemente dopado desde a fonte até o dreno). A região fracamente dopada apresenta tensão de limiar negativa e, em uma primeira aproximação, pode ser entendida como uma extensão da região de dreno para valores positivos de tensão aplicada à porta, reduzindo o comprimento de canal efetivo do dispositivo ( $L_{eff} = L - L_{LD}$  onde  $L$  é o comprimento de máscara do dispositivo). Por causa desta redução no comprimento efetivo de canal, um incremento na corrente de dreno e

transcondutância é obtido sem, no entanto, reduzir o comprimento de canal de máscara ( $L$ ) da estrutura.

### 3. Modelo Analítico Contínuo para Transistores GC SOI nMOSFET

O modelo analítico utilizado nesse projeto [5], utiliza a equação de corrente proposta por Iñiguez et al [8], que é baseado na física de funcionamento de transistores FD SOI e é contínuo em todos os regimes de inversão, o que é necessário para simuladores de tipo SPICE. Além disso, apresenta poucos parâmetros de ajuste quando comparado com outros modelos. Neste modelo, a corrente de dreno é dada por:

$$I_{DS} = \mu_n \frac{W}{L} \left[ v_T (Q_{nf,D} - Q_{nf,S}) - \frac{Q_{nf,D}^2 - Q_{nf,S}^2}{2nC_{oxf}} \right] \quad (1)$$

onde  $Q_{nf,D}$  e  $Q_{nf,S}$  são as densidades de carga de inversão nas fronteiras do canal com as regiões de dreno e fonte, dadas em função das tensões aplicadas:

$$Q_{nf} = -C_{oxf} n v_T S_{NT} \cdot \ln \left[ 1 + \frac{C_{oxf}}{n v_T S_{NT}} \exp \left( \frac{V_{GF} - n V_{thf} - n V_C}{n v_T} \right) + \exp \left( \frac{V_{GF} - V_{thf} - n V_C}{n v_T S_{NT}} \right) \right] \quad (2)$$

onde  $V_{thf}$  e  $V_{thfi}$  são as tensões de limiar obtidas em inversão forte e fraca,  $Q_0$  é a carga de inversão para  $V_{GF} = V_{thfi}$  [6].

Em [5] o GC SOI MOSFET é considerado como a associação série de dois transistores SOI, como mostrado na figura 3. Assim, a corrente é calculada para o transistor fortemente dopado usando a equação (1), no qual a tensão de dreno ( $V_{TRAN}$ ) é função das características tecnológicas e geométricas das duas regiões do canal.

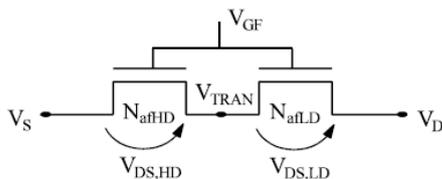


Figura 3 - Associação série de dois transistores SOI nMOSFET

A Tabela 1 apresenta a lista de parâmetros deste modelo.

### 4. Linguagem Verilog-A

Verilog-A é uma linguagem de descrição de hardware usada para modelar sistemas eletrônicos ao nível de circuito e se refere exclusivamente a parte analógica de Verilog-AMS, linguagem esta desenvolvida para descrição de comportamentos de circuitos elétricos analógicos e de sinais misto [7,9]. Essa linguagem apresenta facilidade de portabilidade entre diversos simuladores.

Até o momento nesse trabalho foi feita a revisão bibliográfica sobre transistores de canal gradual e a implementação do modelo em Verilog-A está em fase de finalização. Como continuidade, o modelo

implementado será validado por meio da comparação dos resultados simulados com dados experimentais de transistores fabricados.

Tabela 1 – Parâmetros do modelo analítico.

Parâmetro	Descrição
$L$	Comprimento de canal
$L_{LD}/L$	Fração do canal que não sofre dopagem
$W$	Largura de canal
$t_{si}$	Espessura da camada de silício
$t_{oxf}$	Espessura do óxido de porta
$t_{oxb}$	Espessura do óxido enterrado
$N_{AH}, N_{AL}$	Concentração de dopantes nas duas regiões do canal
$V_{thHD}, V_{thLD}$	Tensões de limiar nas duas regiões do canal
$\mu_{nHD}, \mu_{nLD}$	Mobilidade efetiva de portadores nas duas regiões do canal
$\alpha_{HD}, \alpha_{LD}$	Fator de degradação da mobilidade nas duas regiões do canal
$V_{satHD}, V_{satLD}$	Velocidade de saturação dos portadores nas duas regiões do canal
$S_{NT}$	Parâmetro de ajuste que controla a transição entre inversão fraca e forte
$A_{TS}$	Parâmetro de ajuste que controla a transição entre triodo e saturação
$l_c$	Comprimento característico
$\sigma$	Parâmetro que considera o efeito do aumento de $V_D$ sobre a tensão de limiar

### 5. Referências

- [1] B. El-Kareh. et al; Silicon on insulator-an emerging high-leverage technology. IEEE Trans.on Components, Packaging, and Manufacturing Technology, v. 18, n. 1, p. 187-194, 1995.
- [2] J. P. Colinge. Silicon-On-Insulator Technology: Materials to VLSI, 3 Ed. Massachusetts (EUA): Kluwer Academic Publishers, 2004.
- [3] M. A. Pavanello et al., An Asymmetric Channel SOI nMOSFET for Reducing Parasitic Effects and Improving Output Characteristics, Electrochemical and Solid-State Letters, vol.3, n.1, p.50-52, 2000.
- [4] M. A. Pavanello, J. A. Martino and D. Flandre, Analog Performance and Application of Graded-Channel Fully Depleted SOI MOSFETs, Solid-State Electronics, vol. 44, n. 7, p. 1219-1222, 2000.
- [5] M. de Souza et al., A charge-based continuous model for submicron graded-channel nMOSFET for analog circuit simulation, Solid-State Electronics, vol. 49, n. 10, 1683-1692, 2005.
- [6] Colin C. McAndrew et al. Best practices for compact modeling in Verilog-A. IEEE J. Electron Devices Soc, v. 3, n. 5, p. 383-396, 2015.
- [7] J. Y. Choi e J. G. Fossum, Analysis and control of floating-body bipolar effects in fully depleted submicrometer SOI MOSFETs. IEEE Trans. on Electron Devices, v. 38, n. 6, p.1384-1391, 1991.
- [8] B. Iñiguez et al. A Physically-Based  $C_{\infty}$ -Continuous Fully-Depleted SOI MOSFET Model for Analog Applications, IEEE Trans. Electron Devices, v.43, n.4, p.568-575, 1996.
- [9] D. Fitzpatrick e I. Miller. Analog behavioral modeling with the Verilog-A language. Springer Science & Business Media, 1998.

<sup>1</sup> Aluno de IC do Centro Universitário FEI. Projeto com vigência de 12/19 a 11/20.