

EXTRAÇÃO DA MOBILIDADE EM TRANSISTORES SOI MOS DE CANAL GRADUAL

Matheus Salgueiro Sonoda¹, Michelly de Souza
Departamento de engenharia elétrica, Centro Universitário FEI
mss_salgueiro@hotmail.com, michelly@fei.edu.br

Resumo: Este trabalho tem como objetivo analisar a mobilidade efetiva de transistores SOI nMOSFET de canal gradual em função da variação da relação L_{LD}/L . O estudo foi realizado através de dados experimentais de transistores fabricados, e a mobilidade foi extraída através do método *Y-Function*. Os resultados obtidos mostram que a mobilidade de baixo campo de transistores de canal gradual é diretamente proporcional ao aumento da relação L_{LD}/L .

1. Introdução

A tecnologia de transistores SOI (*Silicon On Insulator*) CMOS apresenta muitas vantagens em relação à sua antecessora, que utiliza lâminas de Si convencionais. No entanto, do ponto de vista analógico apresenta desvantagens tais como a baixa tensão de ruptura de dreno e o efeito do transistor bipolar parasitário [1].

O transistor de canal gradual SOI MOSFET foi proposto com o intuito de aumentar a tensão de ruptura de dreno, através da redução do campo elétrico próximo à região de dreno. Assim, a região de canal do GC SOI MOSFET possui um perfil assimétrico de dopantes, como pode ser observado na figura 1, sendo uma parte com alta concentração de dopantes e comprimento L_{HD} (*Highly Doped Length*), que fixa a tensão de limiar do dispositivo, e outra com baixa concentração e comprimento L_{LD} (*Lightly Doped Length*). Esta região, próxima ao dreno, reduz a geração de portadores pelo mecanismo de ionização por impacto, o que retarda a ativação do transistor bipolar parasitário inerente ao transistor SOI MOS, além de fazer com que o dispositivo apresente uma maior transcondutância. As características elétricas desse transistor geralmente são extraídas em função da relação entre o comprimento da região com baixa dopagem (L_{LD}) e o comprimento total do canal (L), ou seja, L_{LD}/L [2].

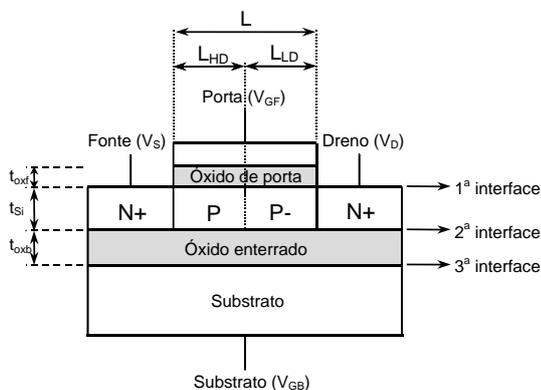


Figura 1 – Perfil do transistor GC SOI nMOSFET.

A figura 1 apresenta o perfil transversal de um transistor GC SOI MOSFET, indicando os eletrodos de porta (V_{GF}), substrato (V_{GB}), fonte (V_S) e dreno (V_D), as espessuras dos óxidos de porta (t_{oxf}) e enterrado (t_{oxb}) e de camada de silício (t_{si}), os comprimentos de canal com alta dopagem (L_{HD}) e baixa dopagem (L_{LD}), bem como as três interfaces Si-SiO₂ existentes na estrutura [2].

Resultados reportados na literatura mostram que com o aumento da relação L_{LD}/L há um aumento na corrente de dreno (I_D) e conseqüentemente na transcondutância ($g_m = dI_D/dV_{GS}$) do dispositivo. Entretanto, maiores valores de L_{LD}/L apresentam maior degradação da transcondutância. Uma vez que g_m é proporcional à mobilidade, pode-se entender que a mobilidade destes transistores aumenta com a relação L_{LD}/L . Desta forma, neste trabalho é apresentado um estudo experimental da mobilidade de baixo campo (μ_0) em função da variação da relação L_{LD}/L , além dos coeficientes de degradação (θ_1 – linear e θ_2 – quadrático) e tensão de limiar (V_T), extraídos para complementação dos resultados e conclusões.

2. Metodologia

Foram utilizados transistores GC SOI nMOSFET fabricados de acordo com o processo da *Université catholique de Louvain* (Bélgica) com as seguintes características construtivas: espessura do óxido de porta $t_{oxf} = 31\text{nm}$, óxido enterrado $t_{oxb} = 390\text{nm}$, camada de silício $t_{si} = 80\text{nm}$, alta concentração de dopantes $N_{A,HD} = 5,6 \times 10^{16}\text{cm}^{-3}$, baixa concentração de dopantes $N_{A,LD} = 10^{15}\text{cm}^{-3}$ [3]. Transistores com largura de canal $W = 20\text{ }\mu\text{m}$, comprimento total de canal $L = 2\text{ }\mu\text{m}$ e relações de L_{LD}/L variando de 0 a 0,5.

Foram realizadas medidas de corrente de dreno (I_D) em função da tensão de porta (V_G) com tensão de dreno $V_D = 50\text{ mV}$ em todos os transistores, utilizando o microprovador *Cascade Microtech REL 3600* e o analisador de parâmetros de semicondutores *Keithley 4200-SCS*, disponíveis no Laboratório de Microeletrônica do Centro Universitário FEI.

Utilizando as curvas $I_D \times V_{GS}$ medidas, foram extraídos os valores de mobilidade de baixo campo (μ_0), os coeficientes de degradação (θ_1 – linear e θ_2 – quadrático) e os de tensão de limiar (V_T) pelo método *Y-Function* [4].

3. Resultados

A Figura 2 apresenta as curvas de corrente e transcondutância dos transistores estudados neste trabalho. A partir destes resultados pode-se observar o aumento da corrente de dreno com o aumento da relação L_{LD}/L . Pode-se notar também que a tensão de limiar

(V_T) é pouco alterada pela mudança dos comprimentos L_{HD} e L_{LD} , conforme pode ser notado através dos resultados apresentados na Figura 3, que mostra a tensão de limiar em função da relação L_{LD}/L , extraídas através do método *Y-Function* [4]. Uma pequena redução é observada com o aumento de L_{LD}/L .

Nota-se que o pico da transcondutância aumenta com o aumento do comprimento da região fracamente dopada e consequente redução da região fortemente dopada. Uma vez que a mobilidade dos portadores no silício aumenta com a redução da concentração de dopantes, pode-se entender que a mobilidade resultante da combinação das duas regiões aumenta à medida que a região de maior mobilidade se torna mais longa.

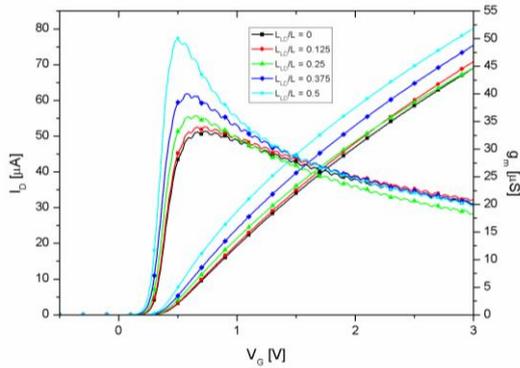


Figura 2 – Corrente de dreno e transcondutância em função da tensão de porta V_G medida com $V_{DS}=50mV$ para diferentes transistores GC SOI.

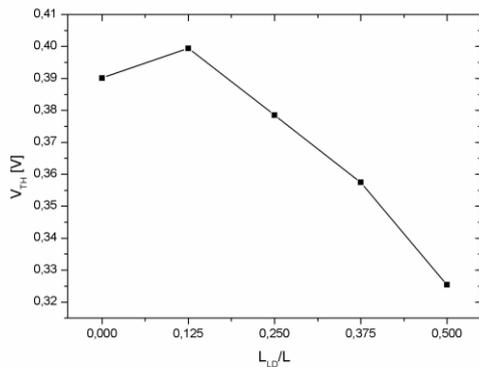


Figura 3 – Tensão de limiar x L_{LD}/L .

Os resultados extraídos para a mobilidade de baixo campo (μ_0) em função de L_{LD}/L são apresentados na Figura 4 e mostram o aumento da mobilidade aparente com o aumento da região fracamente dopada.

Observando as curvas de $g_m \times V_G$ nota-se que quanto maior a mobilidade de baixo campo, maior a degradação da mobilidade logo após o pico. Entretanto, as curvas de g_m de todos os transistores tendem para um mesmo valor para altos valores de V_G . A figura 5 apresenta os coeficientes de degradação θ_1 (linear) e θ_2 (quadrático) em função da relação L_{LD}/L . Os resultados indicam que θ_1 aumenta com o aumento de L_{LD}/L , sendo responsável pela degradação para baixo V_G . Em contrapartida, quanto maior o valor de θ_1 mais negativo é o valor de θ_2 , que faz com que a degradação da transcondutância seja atenuada com o aumento da tensão de porta (V_G).

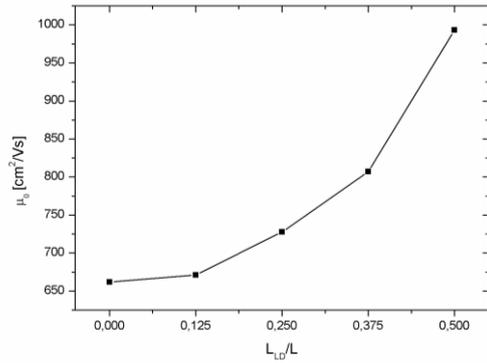


Figura 4 – Mobilidade de baixo campo em função de L_{LD}/L .

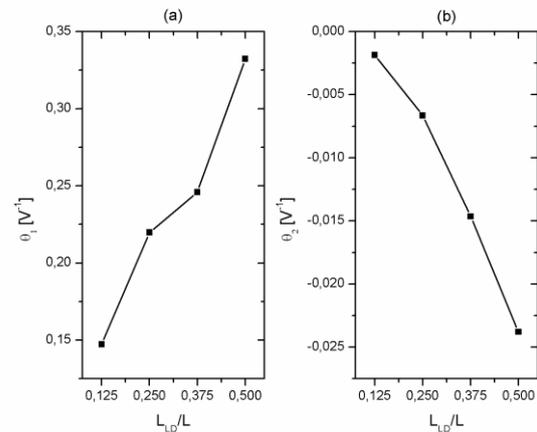


Figura 5 – Fatores de degradação de mobilidade θ_1 (a) e θ_2 (b) x L_{LD}/L .

4. Conclusões

Nesse trabalho foram medidas curvas $I_D \times V_G$ em transistores GC SOI MOSFET com diferentes relações L_{LD}/L . Foram extraídos os parâmetros de mobilidade de baixo campo (μ_0), e coeficientes de degradação (θ_1 – linear e θ_2 – quadrático) através do método *Y-Fuction*. Os resultados indicam que a mobilidade de baixo campo aparente nestes transistores aumenta com a relação L_{LD}/L . O coeficiente de degradação linear também aumenta e é atenuado pelo fator de degradação quadrático para altos valores de tensão de porta.

5. Referências

- [1] J. P. Colinge. Silicon-On-Insulator Technology: Materials to VLSI. 3rd Ed. Massachusetts: Kluwer Academic Publishers, 2004.
- [2] M. A. Pavanello et al. Graded-channel fully depleted Silicon-On-Insulator nMOSFET for reducing the parasitic bipolar effects. Solid-State Electronics, vol. 44, n. 6, p. 917-922, 2000.
- [3] D. Flandre, et al. Solid-State Electronics, 45, p. 451, 2001.
- [4] J.-B. Henry et al. New Y-function based MOSFET parameter extraction method from weak to strong inversion range, Solid-State Electronics, v.123, pp.84-88, 2016.

¹ Aluno de IC do CNPq. Projeto com vigência de 08/19 a 07/20.