

# ESTUDO DAS CAPACITÂNCIAS INTRÍNSECAS EM TRANSISTORES SOI MOS DE CANAL GRADUAL

Letícia Fossato<sup>1</sup>, Michelly de Souza

Departamento de Engenharia Elétrica, Centro Universitário FEI

le\_fossato@hotmail.com e michelly@fei.edu.br

**Resumo:** Este trabalho tem como objetivo analisar o comportamento das capacitâncias intrínsecas do transistor GC SOI MOSFET, em função das possíveis variações dimensionais deste componente, como comprimento de canal e dopagem. O estudo será comprovado através de simulações numéricas bidimensionais.

## 1. Introdução

A tecnologia SOI (*Silicon-on-Insulator*) MOSFET, apresenta uma camada de isolante a mais do que a estrutura MOSFET convencional, separando a região ativa do transistor de seu substrato de Silício [1]. Entretanto, algumas desvantagens se fazem presentes, visto que a camada de óxido adicional faz com que o corpo do dispositivo se torne eletricamente flutuante, dando origem à uma reduzida tensão de ruptura do dreno e um elevado campo elétrico nesta mesma região [2].

Para solucionar este problema, foi desenvolvido um novo transistor, com perfil assimétrico de dopantes na região de canal, denominado, transistor SOI MOSFET de canal gradual (*Graded-Channel - GC*), cujo perfil é apresentado na Figura 1. Nesta figura,  $t_{Si}$  é a espessura da camada de Si,  $t_{oxb}$  é a espessura do óxido enterrado,  $t_{oxf}$  é a espessura do óxido de porta e  $L$  é a largura da região de canal. Em relação às grandezas elétricas, a tensão de porta é representada por  $V_{GF}$ , de dreno  $V_D$ , e de fonte  $V_S$ . Para as simulações aqui apresentadas será considerado que a tensão aplicada ao substrato é nula.

Este transistor, apresenta uma região, próxima ao dreno, com a dopagem natural da lâmina de silício, cujo comprimento é denominado  $L_{LD}$ , conforme indicado na Figura 1. A parte remanescente do canal sofre uma implantação iônica para ajuste de tensão de limiar ( $V_T$ ), tornando-a similar à de um transistor SOI convencional [3]. A região fracamente dopada tem a função de reduzir o campo elétrico próximo ao dreno, aumentando a tensão de ruptura e reduzindo a condutância de saída destes transistores. Além disso, estes componentes já foram demonstrados como tendo alto desempenho para aplicações analógicas.

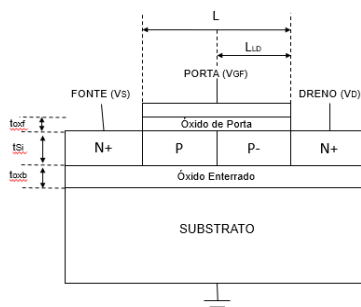


Figura 1 – Perfil transversal de um GC SOI MOSFET.

Apesar das vantagens propostas na utilização desta nova estrutura, pouco se sabe a respeito do comportamento de suas capacitâncias intrínsecas:

- $C_{GG}$ : capacitância total de porta
- $C_{GD}$ : capacitância entre porta e dreno
- $C_{GS}$ : capacitância entre porta e fonte.

Estes parâmetros são bastante importantes do ponto de vista analógico, uma vez que as capacitâncias intrínsecas dos componentes podem limitar seu desempenho, principalmente no que diz respeito à frequência de operação.

O presente trabalho visa analisar o efeito da variação das dimensões do transistor, como a relação entre a região com dopagem natural da lâmina e o comprimento de canal total, sobre sua capacitância. Os resultados obtidos serão demonstrados através de simulações numéricas bidimensionais.

## 2. Simulações Numéricas

Foi utilizado o simulador Atlas [4], para realizar as simulações bidimensionais de transistores GC SOI MOSFET, fabricados na *Université catholique de Louvain* (Bélgica), que apresentam as seguintes características:  $t_{Si}=80\text{nm}$ ,  $t_{ox}=31\text{nm}$ ,  $t_{oxb}=390\text{nm}$ , comprimento de canal  $L=2\ \mu\text{m}$  e  $L_{LD}/L$  variável entre 0,00 e 0,75.

Foram simuladas curvas de capacitância entre porta e dreno ( $C_{GD}$ ) e entre porta e fonte ( $C_{GS}$ ) em função da variação da tensão de porta  $V_{GF}$ . A tensão entre dreno e fonte,  $V_{DS}$ , foi mantida constante em 50mV (Figuras 2 e 4), para mostrar o comportamento do transistor na região de triodo, e posteriormente, em 1,5V (Figuras 3 e 5), para demonstrar sua atuação na região de saturação.

Através dos gráficos expostos, será possível obter uma comparação visual entre o comportamento da curva de capacitância do SOI MOSFET de canal uniformemente dopado, representado pela relação  $L_{LD}/L=0$  e, do SOI de canal gradual, cujas dopagens variam para expor as alterações geradas na capacitância.

## 3. Resultados

As figuras 2 e 3 apresentam os resultados simulados da capacitância entre porta e dreno ( $C_{GD}$ ). Através dos gráficos apresentados, é possível notar que a capacitância entre porta e dreno ( $C_{GD}$ ) aumenta conforme ocorre o aumento da relação  $L_{LD}/L$ .

Logo, a curva que representa o SOI MOSFET com dopagem uniforme de canal ( $L_{LD}/L=0$ ) está abaixo das demais para ambas as tensões de dreno ( $V_{DS}$ ) simuladas, 50mV e 1,5V, comprovando que a utilização do GC SOI MOSFET, mesmo com uma baixa relação de  $L_{LD}/L$ , é a melhor opção para compor circuitos onde deseja-se obter uma capacitância de dreno elevada.

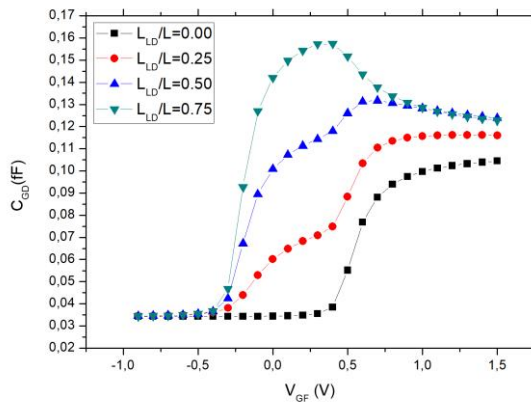


Figura 2 - Capacitância entre porta e dreno ( $C_{GD}$ ) para  $L=2\ \mu\text{m}$ , simuladas com  $V_{DS}=50\text{mV}$ .

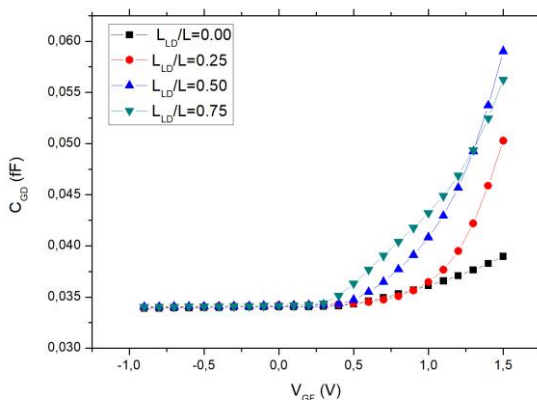


Figura 3- Capacitância entre porta e dreno ( $C_{GD}$ ) para  $L=2\ \mu\text{m}$ , simuladas com  $V_{DS}=1,5\text{V}$ .

Nas Figuras 4 e 5 são apresentadas as curvas da capacitância entre porta e fonte ( $C_{GS}$ ) em função da tensão aplicada à porta. Ao contrário do que foi observado para  $C_{GD}$ , o comportamento de  $C_{GS}$  é inverso, e a curva com maior  $L_{LD}/L$ , atinge o menor valor de capacitância de porta  $C_{GS}$ , conforme ocorre o aumento da tensão  $V_{GF}$ .

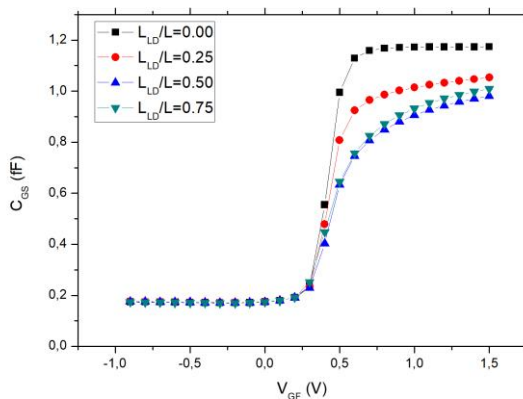


Figura 4 - Capacitância entre porta e fonte ( $C_{GS}$ ) para  $L=2\ \mu\text{m}$ , simuladas com  $V_{DS}=50\text{mV}$ .

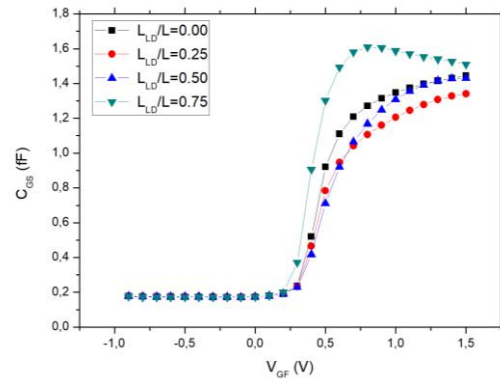


Figura 5 - Capacitância entre porta e fonte ( $C_{GS}$ ) para  $L=2\ \mu\text{m}$ , simuladas com  $V_{DS}=1,5\text{V}$ .

Em todos os gráficos, nota-se que as capacitâncias aumentam conforme a tensão  $V_{GF}$  é acrescida, visto que quanto maior a tensão aplicada, mais elétrons são atraídos para as interfaces entre óxido e silício, contribuindo para o aumento da relação:

$$C_{GG}=C_{GS}+C_{GD}+C_{GB} \quad (1)$$

Por fim, é possível fazer uma análise da capacitância de acordo com as diferentes tensões  $V_{DS}$  aplicadas. Nota-se que em  $C_{GS}$  é praticamente independente da tensão de dreno. Por outro lado,  $C_{GD}$  reduz com o aumento de  $V_{DS}$ , uma vez que com o aumento da região de depleção é gerada uma maior  $C_{GG}$ , que associada em série à capacitância do óxido ( $C_{ox}$ ), diminui a capacitância equivalente.

#### 4. Conclusões

Com este projeto foi possível verificar que a variação no perfil da dopagem da região de canal de um transistor, bem como suas dimensões, apresenta consequências diretas em sua capacitância, evidenciando que este aspecto deve ser consideravelmente estudado antes de sua aplicação em circuitos analógicos.

O presente projeto se encontra ainda em fase de desenvolvimento. Para dar sequência ao estudo, serão realizadas medidas experimentais cujos resultados irão servir como base de comparação com os dados já coletados através do software Atlas.

#### 5. Referências

- [1] M. A. Pavanello, Projeto, Fabricação e Caracterização Elétrica de uma nova estrutura para o SOI MOSFET, Tese (Doutorado) EPUSP, 2000.
- [2] D. De Ceuster et al, Electronics Letters, v. 32, n. 4, pp. 278, 1996.
- [3] M. A. Pavanello, J. A. Martino and D. Flandre, Analog Circuit Design Using Graded-Channel Silicon-On-Insulator NMOSFETS, v.46, n.8, p.1215-25, 2002.
- [4] Simulator Atlas, Silvaco

#### Agradecimentos

À instituição Centro Universitário da FEI pela realização disponibilização da estrutura para realização das simulações numéricas.

<sup>1</sup> Aluno de IC do Centro Universitário FEI. Projeto com vigência de 03/18 a 02/19.