

# CARACTERIZAÇÃO ELÉTRICA DAS CAPACITÂNCIAS DE PORTA EM TRANSISTORES MOS

Victor Pessoa Rodrigues<sup>1</sup>, Marcelo Antonio Pavanello<sup>2</sup>

<sup>1,2</sup> Departamento de Engenharia Elétrica, Centro Universitário FEI

victor.pe.rodrigues@gmail.com, pavanello@fei.edu.br

**Resumo:** O avanço da tecnologia MOS e da indústria da microeletrônica, movendo-se para a escala nanométrica, direciona a necessidade de equipamentos especiais para a extração de seus principais parâmetros elétricos. O projeto objetiva o desenvolvimento de um procedimento para a confecção de medidas de capacitância-tensão em transistores de tecnologia SOI de 65nm utilizando o equipamento Keysight B1500. Até o momento foi realizado o estudo bibliográfico de transistores MOS, suas características CxV, e o estudo do módulo de capacitância do equipamento.

## 1. Introdução

A tecnologia Silício sobre Isolante (Silicon on Insulator – SOI), vem se mostrando uma excelente tecnologia para viabilizar circuitos integrados de alto desempenho com dimensões extremamente pequenas. A tecnologia difere-se das demais pelo isolamento dielétrico entre a região ativa da lâmina e o substrato, o que acaba por reduzir fortemente uma série de efeitos parasitários [1].

Um parâmetro fundamental quando estudamos transistores construídos com substratos SOI são as capacitâncias intrínsecas de porta, as quais constituem a capacitância total que o transistor adiciona ao circuito quando conectado. A carga total capacitiva dos transistores MOS equivale-se a capacitância do óxido de porta.

O investimento dos últimos anos da indústria da microeletrônica como intuito de avançar para a escala nanométrica mostrou que a perda do controle sobre as cargas na região de canal em transistores curtos, tornou a utilização de MOS planares extremamente complexa em circuitos integrados digitais com alta escala de integração (ULSI – Ultra Large Scale Integration), o que levou a comunidade científica e a indústria de semicondutores a se interessarem pelo uso de tecnologias alternativas, principalmente aquelas cuja arquitetura tem múltiplas portas [2, 5].

A presença de múltiplas portas melhora o controle eletrostático sobre o canal, reduzindo drasticamente os efeitos do canal curto.

Dispositivos com essa arquitetura tem se mostrado promissores para o avanço da tecnologia MOS em escalas abaixo dos limites para dispositivos planares, chegando a dezenas de nanômetros, essas estruturas têm sido conhecidas como nanofios transistores.

A figura 1 apresenta a seção transversal de um nanofio transistor fabricado no CEA-Leti, na qual podem ser observados o semiconductor, o isolante e o metal de porta [3].

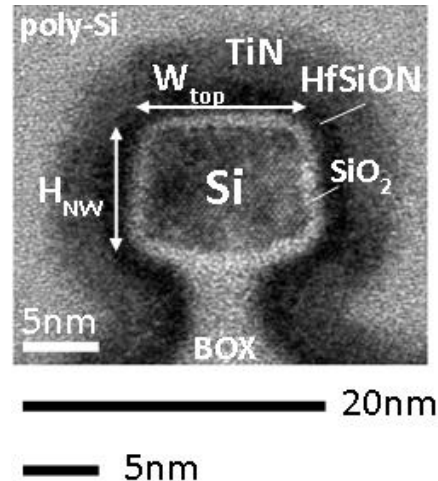


Figura 1 - Fotografia de um nanofio transistor obtida no microscópio eletrônico de transmissão.

Reduzindo a área da região torna os valores de capacitância a serem medidos muito pequenos, culminando na necessidade de equipamentos especiais, de precisão muito maior. Além disso, dependendo da polarização que o dispositivo está submetido, cada uma de suas parcelas capacitivas (CGB: Gate - Body, CGS: Gate - Source, CGD: Gate - Dreno), terá valores diferentes, como indicado na figura 2, que apresenta as capacitâncias intrínsecas de porta de um transistor MOS em função da tensão de porta [4]

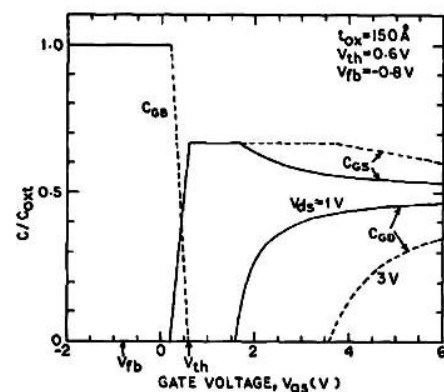


Figura 2 - Capacitâncias Intrínsecas de Porta de um transistor MOS, normalizadas pela capacitância do óxido e em função de  $V_{GS}$

Dessa necessidade advém um equipamento Keysight B1500, adquirido recentemente pelo Centro Universitário FEI, que possui um módulo voltado especificamente para a medição de capacitâncias. Esse projeto objetiva o desenvolvimento de um procedimento para a realização de medições das capacitâncias intrínsecas de porta em transistores com tecnologias de

65nm até nanofios, utilizando o equipamento Keysight B1500A

## 2. Capacitâncias Intrínsecas de Porta

Para chegarmos na altura do projeto onde estamos atualmente, adotamos a metodologia nos dois passos descritos a seguir.

### 2.1. Estudo Bibliográfico

Afim de atingir o embasamento necessário para a interpretação correta das medidas, foram realizados estudos com diversas bibliografias, focando em solidificar o conhecimento em capacitores e transistores MOS tridimensionais, entendendo, principalmente, suas curvas CxV, seus equacionamentos básicos e propriedades físicas.

As capacitâncias intrínsecas de porta são observadas por conta da semelhança física da estrutura MOS quando comparada a um capacitor metálico de placas paralelas, a diferença se encontra na troca de uma das placas de metal por um semiconductor.

Certas cargas presentes no semiconductor não têm distribuição pelicular, introduzindo assim, uma capacitância no silício que se associa em série com a capacitância advinda do isolante, alterando a capacitância total do dispositivo. Desse modo a capacitância pode ser descrita por:  $\frac{1}{C} = \frac{1}{C_{OX}} + \frac{1}{C_{Si}}$ , sendo  $C_{OX}$  a capacitância do óxido e  $C_{Si}$  a capacitância do silício, e sua tensão de porta por:  $V_G = V_{OX} + \phi_S + \phi_{MS}$ , de  $V_{OX}$  a tensão no óxido,  $\phi_{MS}$  a diferença entre a função trabalho do metal e do silício, e  $\phi_S$  a variação no nível intrínseco do material [4].

Isso somado a um estudo específico sobre capacitâncias de porta, métodos de extração e sua influência sobre as propriedades elétricas dos transistores MOS.

### 2.2. Estudo do Módulo de Capacitâncias do Keysight B1500

Uma vez que o embasamento teórico necessário foi atingido, o próximo objetivo é entender o modo de operação do módulo de capacitâncias do equipamento, bem como, obter uma maior familiarização com o Keysight B1500, e uma compreensão total sobre o arranjo necessário para a extração das medidas.

Geralmente para a obtenção de capacitâncias de porta conecta-se uma fonte de tensão DC em série com uma fonte de tensão AC, a qual aplicará um sinal senoidal com baixíssima amplitude e frequência controlada, no eletrodo de porta.

A fonte de tensão DC garante que possamos medir as capacitâncias em toda as regiões operacionais do transistor.

A figura 3 demonstra a disposição do equipamento necessária para a obtenção das medidas, enquanto a figura 4 ilustra um exemplo do formato das medidas quais o Keysight B1500 irá nos fornecer [6].

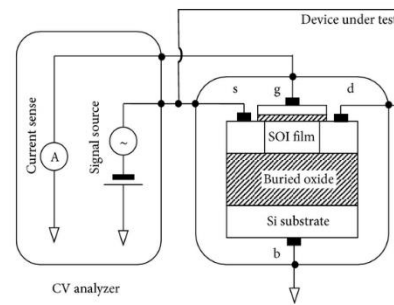


Figura 3 - Representação do arranjo necessário para a obtenção das capacitâncias de porta.

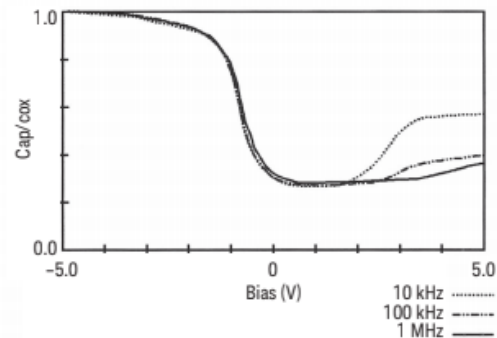


Figura 4 - Exemplo de Curva de Medida C-V em semiconductor feita com Keysight B1500

## 3. Conclusões Parciais

Nesse trabalho foram estudadas as capacitâncias intrínsecas de porta de transistores MOS, desde a origem física da propriedade no componente, suas semelhanças e divergências com capacitores metálicos tradicionais, a influência do Silício em sua composição, e seu equacionamento.

Foi também apresentado o método de obtenção dessas capacitâncias, a partir de medidas das curvas de capacitância-tensão, bem como, o arranjo dos equipamentos necessário para a efetuação dessas medidas.

## 4. Referências

- [1] J. P. Colinge, "Silicon-On-Insulator Technology: Materials to VLSI", Kluwer Academic Publishers, 2003.
- [2] J. P. Colinge, FinFETs and Other Multi-Gate Transistors, Springer, 340 p., 2008.
- [3] <http://www-leti.cea.fr>
- [4] Martino, Pavanello e Verdonck, Caracterização Elétrica de Tecnologia e Dispositivos MOS, 2-3 (2003);
- [5] B. S. Doyle, S. Datta, M. Doczy, et al., "High performance fully-depleted tri-gate CMOS transistors", IEEE Electron Device Letters, vol. 24, n. 4, p. 263-265, 2003.
- [6] <http://www.keysight.com>

.Ao laboratório Cea-Leti pelo fornecimento de nanofios transistores.

<sup>1</sup> Victor Pessoa Rodrigues. Projeto com vigência de 04/17 a 03/18.