

Simulação APS CMOS Global Shutter em tecnologia 0,13 μm

Tarcisio Rodrigues Lima Junior¹, João Batista Júnior², Renato Giacomini³

^{1,2,3} Departamento de Engenharia Elétrica, Centro Universitário FEI

tarcisiojr@outlook.com

renato@fei.edu.br

Resumo: A aquisição de imagens digitais vem crescendo ao longo dos anos, tendo como desafios, obter excelente desempenho de processamento com o menor consumo de energia. O circuito de pixel é o elemento essencial que compõe o sensor de imagem e deve ser o mais simples possível para atender a demanda de desempenho e consumo. Este projeto busca otimizar a topologia “Global Shutter” de um pixel APS (Active Pixel Sensor) na tecnologia BICMOS .13 8HP, através das simulações no ambiente AIM-SPICE [4], [5].

1. Introdução

O pixel é o menor elemento de imagem disponível no circuito. Essa pequena célula é composta por vários circuitos integrados em si, sendo responsável pela captação e ajuste da imagem para um processamento posterior [1]. Considerando a exigência por imagens cada vez melhores, comumente falamos sobre o pixel em quantidades relativamente grandes, em torno de megapixels. Tais pixels são dispostos em formato de matriz, possibilitando um endereçamento de cada uma das células, de tal maneira que um conjunto de pixels são responsáveis pela captação da imagem como um todo [2].

No que se refere à tecnologia, temos a CCD (Charged Couple Device) e CMOS (Complementary Metal Oxide Semiconductor) [1]. Neste projeto focaremos na tecnologia CMOS, por ser a mais utilizada nos dias atuais. Apesar dos CCD inicialmente possuírem uma faixa dinâmica superior, melhor padrão de ruído (FPN), pixels menores e maior sensibilidade à luz, a tecnologia CMOS evoluiu, conseguindo diminuir o tamanho efetivo do pixel e melhorar seu desempenho, com a adição de amplificadores nas colunas ou linhas de seleção, diminuindo assim possíveis ruídos, o que adicionou o conceito de “Pixel Ativo” [1], sendo esta a topologia alvo do nosso estudo.

2. Circuito APS Global Shutter

O circuito APS pode ser dividido em três estágios conforme figura 1, o fotodiodo, a amostragem e retenção e o amplificador seguidor de fonte, sendo sua aquisição realizada simultaneamente (característica da topologia Global Shutter) [3].

Inicialmente o transistor de reset carrega a capacitância de junção do fotodiodo com um valor de tensão ($V_{DD}-V_T$), sendo que no momento em que o pulso de reset vai a zero, ocorre um processo de descarga dos portadores armazenados nas capacitâncias envolvidas, cuja a inclinação e resposta da mesma decai durante o tempo (tempo de integração), em função da energia luminosa armazenada na junção do fotodiodo, conforme figura 2. Posteriormente esse sinal é

encaminhado ao circuito de amostragem e retenção, que com um pulso de clock na porta de T1 carrega a capacitância de porta de T2 (representada na figura 1 como a capacitância C), retendo a parcela da tensão de entrada para a digitalização. A seguir o transistor T2 é responsável por acoplar o sinal proveniente de sua entrada com a saída, com ganho de tensão próximo de 1 V/V, sendo que o transistor T3 está operando como carga ativa, para leitura do sinal de saída V_{OUT} .

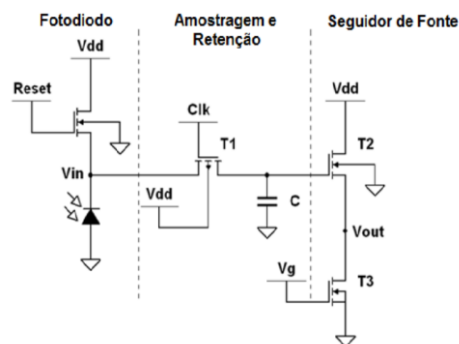


Figura 1 - Circuito APS Global Shutter [1].

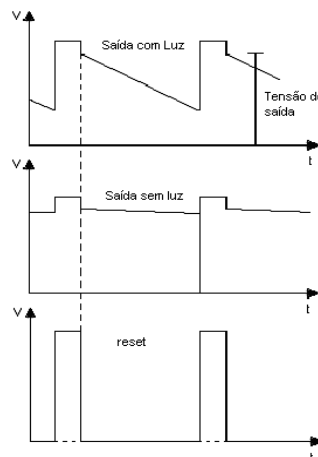


Figura 2 – Sinais de saída do pixel [1].

3. Simulação

Os estudos foram realizados através do simulador de circuitos AIM-SPICE, utilizando os parâmetros elétricos e de processo de fabricação dos dispositivos na tecnologia BICMOS .13 8HP fornecidos pela MOSIS, que permitem aproximar os resultados da simulação com os valores obtidos pelo mesmo dispositivo físico.

Inicialmente foi adotada a dimensão de todos os transistores com $W=5\mu\text{m}$ e $L=1\mu\text{m}$ no intuito de analisar a influência de V_G do transistor T3 na resposta do circuito ($V_{OUT} \times V_{IN}$), conforme Figura 3. Foi observado que o aumento da tensão V_G faz com que haja aumento de V_{DS} do T3, acarretando uma maior tensão de $V_{GS} > V_T$ para que o transistor T2 conduza e opere na região de saturação. Este aumento reduz a

linearidade do circuito o que não é interessante. A tensão $V_G = 0V$, apresentou ótima resposta.

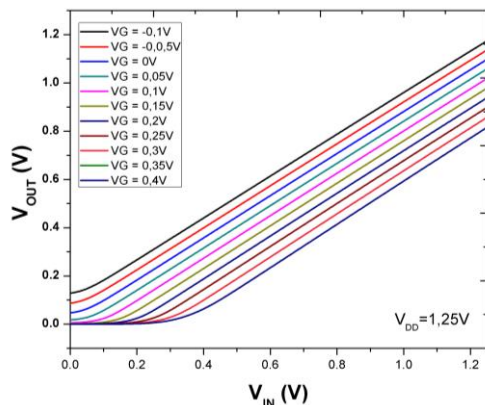


Figura 3 – V_{OUT} x V_{IN} variando V_G .

Alterando o T3 para as dimensões mínimas, foi observado na Figura 4, que a linearidade do circuito melhorou, pois, ao alterar as dimensões do T3 o valor de V_T também alterou, acarretando uma condução mais precoce para o mesmo nível de tensão da análise anterior. Neste caso, a melhor linearidade foi obtida para $V_G = 0,25V$.

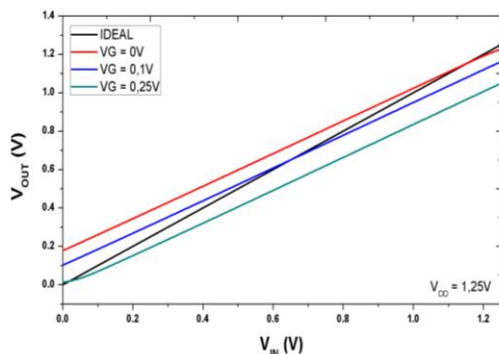


Figura 4 – V_{OUT} x V_{IN} para T3 (dimensão mínima)

Na Figura 5 foi analisada a ação do circuito de *sample and hold*, aplicando um pulso de *clock* com o valor de VDD (1,25V) e avaliando a saída do transistor T1. Tendo em vista que essa parte do circuito está mais sujeita a efeitos de segunda ordem que poderiam causar distorções do sinal (injeção de cargas), a simulação apresentou boa resposta com T1 para dimensões mínimas e T2 com $W=10\mu m$ e $L=4\mu m$ para, conforme Figura 5.

Observa-se também que a dimensão mínima de T1 altera o valor de V_T , fazendo com que o transistor não conduza quando se aproxima de zero. Para melhorar este comportamento foi alterada a tensão de substrato do transistor de VDD para GND, o que melhorou significativamente a resposta do circuito, observa-se a curva azul (*sample*) acompanhando o sinal original (curva preta).

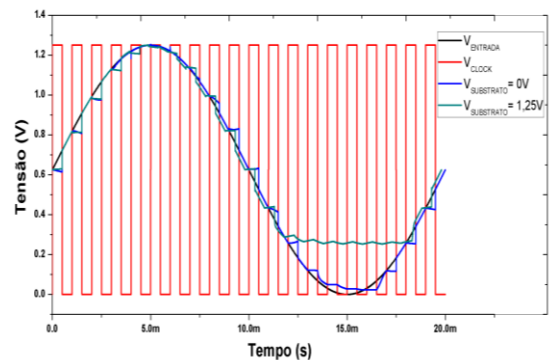


Figura 5 – V_{OUT} x Tempo variando $V_{SUBSTRATO}$.

4. Conclusões

Através de simulações foi possível encontrar alguns possíveis pontos de otimização dos transistores acoplados ao fotodiodo na tecnologia desejada, alcançando uma área efetiva por pixel de um tamanho razoável, com um funcionamento adequado do sistema e uma boa faixa dinâmica de resposta. A próxima etapa será projetar o circuito em nível de silício e efetuar as devidas caracterizações.

Referências

- [1] MADEIRA, Frederico Marion. **Estudo Comparativo entre tecnologias CMOS, NMOS e SOI em um circuito de APS**. 2012. 116 f. Dissertação (Mestrado) - Curso de Engenharia Elétrica, Centro Universitário FEI, São Bernardo do Campo, 2012.
- [2] SOUZA, Jhonata Serra de; CARDOZA, Jorge Alexander Sosa. **Sensores de Imagem Digitais CCD E CMOS**. 2009. 8 f. TCC (Graduação) - Curso de Tecnologia em Sistemas Eletrônicos, Instituto Federal do Amazonas, São Paulo, 2009.
- [3] WANY, M.; ISRAEL, G. P. **CMOS Image Sensor With NMOS-Only Global Shutter and Enhanced Responsivity**. Electron Devices, IEEE Transactions, v. 50, n. 1, p. 57-62, Jan 2003.
- [9] H. Statz, P. Newman, I. W. Smith, R. A. Pucel, and H. A. Haus. **GaAs FET Device and Circuit Simulation in SPICE**. IEEE Trans. on Electron Devices, vol. 34, no. 2, pp. 160-169, Feb. 1987.
- [10] K. Lee, M. Shur, T. A. Fjeldly and T. Ytterdal, **Semiconductor Device Modeling for VLSI**, 1993, Prentice Hall, New Jersey.

Agradecimentos

Ao Centro Universitário FEI pelo financiamento do projeto, ao professor Dr. Renato Giacomini, ao grupo de pesquisa da FEI e ao doutorando João Batista Júnior pela orientação e apoio no projeto.

¹ Aluno de IC do Centro Universitário FEI. Projeto com vigência de 06/17 a 05/18.