

ESTUDOS DOS EFEITOS PARASITÁRIOS DO LEIAUTE EM PROJETOS DE CIs CMOS ANALÓGICOS

Iago Alpi Martins¹, Prof. Dr. Rodrigo Alves de Lima Moreto², Prof. Dr. Salvador Pinillos Gimenez³

^{1,3} Engenharia Elétrica, Centro Universitário FEI

² Engenharia Elétrica, Centro Universitário FEI

iagoalpi@hotmail.com, sgimenez@fei.edu.br

Resumo: O principal objetivo deste projeto de pesquisa é aumentar a precisão e efetividade da ferramenta CAD (*Computer Aided Design*), desenvolvida pelo Centro Universitário da FEI, criada para facilitar e automatizar projetos de circuitos integrados (CIs) analógicos, através da inclusão de efeitos parasitários do leiaute do CI analógico dentro do laço de otimização, visando reduzir o tempo e o custo do projeto.

1. Introdução

A crescente demanda em sistemas eletrônicos em um único circuito integrado (CI), ou *System-on-Chip* (SoC) em inglês, vem abrindo portas para diversos trabalhos e pesquisas na área.

O projeto de um CI analógico é uma tarefa bastante complexa por ser um sistema de inúmeras variáveis, tanto de entrada, quanto de saída, essas variáveis devem ser tratadas simultaneamente para que se alcance diferentes objetivos de design, tais como o ganho de tensão (AV), a frequência de ganho de tensão unitário (fT), a taxa de variação (SR), distorção harmônica (THD), etc. [1],[2]. Tradicionalmente, tais projetos, são realizados com o auxílio das equações básicas do circuito utilizando alguma metodologia de projeto, por exemplo g_m/I_{DS} , e simulações SPICE (*Simulation Program with Integrated Circuit Emphasis*), de forma manual interativa, onde o projetista modifica geralmente um único parâmetro por vez, para então reavaliar os resultados. Na prática, o design dos CIs analógicos depende fundamentalmente da experiência do projetista [2].

Projetar um CI significa determinar as dimensões dos MOSFETs (largura de canal, W, e comprimento de canal, L) e suas condições de polarização [2], [3], [4]. Cada combinação destes elementos gera um único resultado de desempenho, que pode atender ou não aos requisitos do projeto [2].

Para projetos de CIs digitais existem diversas ferramentas computacionais (*Computer Aided Design*, CAD) que facilitam e automatizam a implementação de tais projetos, reduzindo assim o tempo total de desenvolvimento. Exemplos dessas ferramentas são as desenvolvidas pelas empresas Cadence [5] e Mentor Graphics [6]. No entanto, para projetos de CIs analógicos, não existem tantas ferramentas profissionais disponíveis.

O Centro Universitário da FEI possui um CAD desenvolvido para projetos de CIs analógicos, onde foram desenvolvidos diversos trabalhos com o objetivo de aumentar a efetividade dos processos de otimização e a robustez desses projetos [7], [8].

2. Metodologia

Para que o objetivo do projeto seja atingido, o trabalho foi dividido em algumas etapas. Primeiramente, o CI analógico estudado é o amplificador operacional de transcondutância (*Operational Transconductance Amplifier*, OTA), que é um bloco básico analógico.

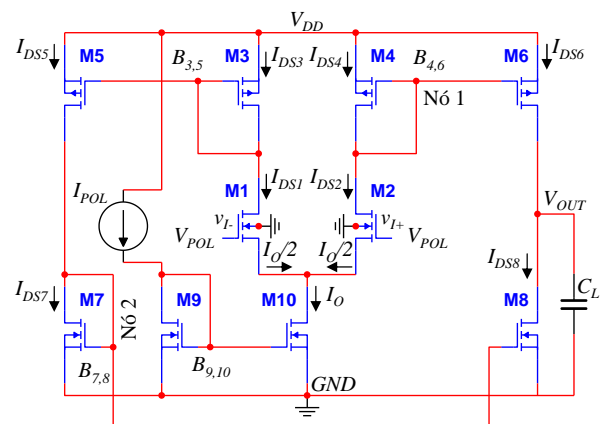


Figura 1 - Circuito eletrônico do OTA

Após a escolha do circuito analógico, foi preciso encontrar uma forma de extrair o circuito equivalente de um leiaute considerando os efeitos parasitários do mesmo. Para realizar esse procedimento foi disponibilizado um leiaute criado pelo co-orientador do projeto, Prof. Dr. Rodrigo Alves de Lima Moreto, de um Amplificador Operacional de Transcondutância (OTA), utilizado em sua Tese de Doutorado.

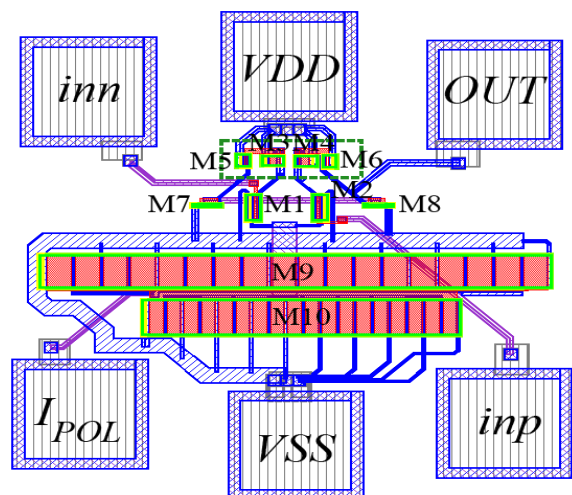


Figura 2 – Leiaute do OTA no ICStation

Para manipulação e estudo do leiaute disponibilizado foi usado um software da Mentor Graphics [6] chamado

ICStation. Dentro deste próprio software existe uma ferramenta chamada Calibre e foi através dela que foi extraído e gerado um *netlist* do circuito equivalente considerando os efeitos parasitários de leiaute. Após estudos foi descoberto que a simulação PEX do Calibre extrai as capacitâncias e resistências parasitas de um leiaute e gera um arquivo SPICE, ou seja, um *netlist* para que o mesmo possa ser simulado.

O Calibre foi configurado baseado em estudos de manuais que foram encontrados. Após a simulação do Calibre, o *netlist* levando em consideração as capacitâncias e resistências parasitárias foi gerado, juntamente com os valores das mesmas.

Após tudo isso foi preciso simular o leiaute, mas incluindo o circuito gerado pelo Calibre PEX dentro da simulação, para analisar possíveis consequências que os efeitos parasitários do leiaute podem trazer para o projeto final. Essa simulação foi feita na ferramenta Eldo, outra ferramenta da Mentor Graphics [6].

A partir de agora os estudos se concentram em como inserir o circuito gerado pelo Calibre com as capacitâncias e resistências parasitárias no AGSPICE, CAD do Centro Universitário da FEI para projetos de CIs analógicos, já que essa parte de extrair tais efeitos parasitários nunca tinha sido feita antes.

3. Resultados Preliminares

Para apresentar os resultados até aqui alcançados, foi realizado a simulação do circuito elétrico equivalente do leiaute primeiramente não considerando os efeitos parasitários e posteriormente considerando os mesmos. A simulação foi feita na ferramenta Eldo, da Mentor Graphics [6], já que o arquivo gerado pelo Calibre-PEX só pode ser usado por tal ferramenta.

Tabela I – Resultados da simulação

	Sem efeitos parasitários	Com efeitos parasitários
V_{out} (V)	$-2,5 \times 10^{-2}$	$2,9 \times 10^{-2}$
Área (m ²)	$9,3 \times 10^{-9}$	$6,9 \times 10^{-9}$
Potência Elétrica consumida (W)	$4,9 \times 10^{-6}$	$5,4 \times 10^{-6}$
A_{V0} (dB)	44,0	43,0
Margem de fase (°)	86,4	86,0
f_T (Hz)	$2,2 \times 10^5$	$2,3 \times 10^5$
f_0 (Hz)	$1,4 \times 10^3$	$1,6 \times 10^3$

Observando os resultados apresentados na tabela acima notamos pequenas diferenças entre ambas situações de simulação no que diz respeito a ganho, margem de fase, frequência de ganho de tensão unitário, contudo uma notória diferença é vista em relação a tensão de saída do amplificador, saindo de negativo para positivo e também em relação a área, visto que a consideração dos efeitos parasitários diminuem a área do amplificador.

4. Conclusões

O projeto se encontra em um estágio intermediário, já que com os resultados obtidos até agora podemos concluir que os efeitos parasitários de leiaute geram

alterações no projeto final de CIs analógicos. Como observamos, as pequenas diferenças entre as simulações referente ao ganho, margem de fase e frequência de ganho de tensão unitário ocorreram devido às variações das dimensões dos transistores do OTA que ocorre durante o processo de fabricação, com essas mudanças ocorreu um aumento da corrente de polarização, do consumo de potência e do f_T . Esperava-se uma redução do f_T devido às capacitâncias parasitárias do leiaute, mas isso não ocorreu devido ao OTA operar em baixa frequência, com f_T aproximadamente 200 kHz.

A partir de agora é necessário encontrar uma forma de introduzir tais efeitos dentro do laço de otimização do CAD de CIs analógicos AGSPICE.

Portanto, o estudo do AGSPICE deve ser intensificado nessa parte final do projeto para que o objetivo principal seja alcançado.

5. Referências

- [1] R. A. L. Moreto, C. E. Thomaz, S. P. Gimenez, "AGSPICE: A New Analog ICs Design Tool Based On Evolutionary Electronics Used For Extracting Additional Design Recommendations", *proc. of the IEEE Int. Caribbean Conf. on Devices Circuits and Systems 2012*, Mar. 14th-17th, 2012.
- [2] Zebulum, R. S., Pacheco, M. A. and Vellasco, M. M. B. *Evolutionary Electronics: Automatic Design of Electronic Circuits and Systems by Genetic Algorithms*, CRC Press, Inc., Boca Raton, FL, USA, 2001.
- [3] Coello, C. A. C., Lamont, G. B. and Veldhuizen, D. A. V. *Evolutionary Algorithms for Solving Multi-Objective Problems (Genetic and Evolutionary Computation)*, NY: Springer-Verlag, USA, 2007.
- [4] Miller, Julian et al. *Evolvable Systems: From Biology to Hardware*. THIRD INTERNATIONAL CONFERENCE, ICES 2000, Apr. 17–19 2000, Edinburgh, Scotland, UK.
- [5] Cadence (2018). Available: <http://www.cadence.com>.
- [6] Mentor Graphics (2018). Available: <http://www.mentor.com>.
- [7] Moreto, R. A. L., Thomaz, C. E., and Gimenez, S. P. Gaussian Fitness Functions for Optimizing Analog CMOS Integrated Circuits. *IEEE Trans. Comput.-Aided Design Integr. Circuits Syst.*, Jan. 2017, Vol. 36, No. 10, pp. 1620-1632, Oct. 2017.
- [8] Moreto, R. A. L., Gimenez, S. P., and Thomaz, C. E. Analysis of a New Evolutionary System Elitism for Improving the Optimization of a CMOS OTA, in *Proc. of the 1st BRICS Countries Congress (BRICS-CCI), CI Applications in Industry Symposium*, Recife, Pernambuco, Brazil, Sept. 8-11, 2013.

Agradecimentos

À instituição Centro Universitário FEI pela realização das medidas ou empréstimo de equipamentos.

¹ Aluno de IC do Centro Universitário FEI. Projeto com vigência de 02/18 a 01/19.