

NOVAS INSTRUÇÕES PARA O MICROPROCESSADOR ACADÊMICO “SDIII-16”

Paulo Henrique Guidolin Araújo¹, Prof.Dr. Orlando Del Bianco Filho²

^{1,2}Departamento de Engenharia Elétrica, FEI

paulo.hga2@gmail.com / orlandof@fei.edu.br

Resumo: Este projeto de Iniciação Científica tem como objetivo adaptar a arquitetura do microprocessador acadêmico “SDIII-16”, desenvolvido na linguagem VHDL, visando ampliar sua capacidade máxima de instruções executáveis de 16 para 32. Além disto, pretende-se também desenvolver mais instruções para esta nova arquitetura e implementar novos recursos de hardware, como por exemplo as chamadas de sub-rotinas, que estão presentes em diversos microprocessadores comerciais.

1. Introdução

O microprocessador SDIII-16, desenvolvido pelo colega, Professor Doutor Pedro Luís Benko, possui um conjunto de 16 instruções executáveis e um conjunto de 16 registradores internos. Este microprocessador é utilizado nas aulas das disciplinas Sistemas Digitais III, do curso de Engenharia Elétrica e também na disciplina Sistemas a Eventos Discretos, do curso de Engenharia de Automação e Controle, ambos do Centro Universitário da FEI, com o objetivo de introduzir os alunos à área de Arquitetura de Computadores e Microprocessadores.

Este microprocessador acadêmico possui um conjunto de 16 bits por instrução, conforme indica a tabela I.

Tabela I – Descrição das instruções do SDIII-16.

| Formatos de Instrução | Descrição |
|-------------------------------------------------------------------------|----------------------------------------------------------|
| $I_3I_2I_1I_0$ $Ra_3Ra_2Ra_1Ra_0$ $D_7D_6D_5D_4D_3D_2D_1D_0$ | $I_{[3..0]}$: código da instrução |
| $I_3I_2I_1I_0$ $Ra_3Ra_2Ra_1Ra_0$ $Rb_3Rb_2Rb_1Rb_0$ $Rc_3Rc_2Rc_1Rc_0$ | $Rx_{[3..0]}$: endereço do registrador |
| $I_3I_2I_1I_0$ $Ra_3Ra_2Ra_1Ra_0$ $O_7O_6O_5O_4O_3O_2O_1O_0$ | $D_{[7..0]}$: endereço da memória |
| $I_3I_2I_1I_0$ $Ra_3Ra_2Ra_1Ra_0$ $X_7X_6X_5X_4X_3X_2X_1X_0$ | $O_{[7..0]}$: valor constante |
| $I_3I_2I_1I_0$ $X_{11}X_{10}X_9X_8$ $X_7X_6X_5X_4X_3X_2X_1X_0$ | $X_{[11..0]}$: valor irrelevante (preenchido com zeros) |

Analisando-se o conjunto de instruções deste microprocessador, é possível observar que os 4 bits mais significativos da instrução identificam qual instrução específica o microprocessador executa num ciclo de máquina, sendo que, são possíveis de serem executadas pelo microprocessador um total de 16 instruções.

De forma bastante simplificada, é possível descrever este projeto como sendo a alteração dos campos “Endereço do Registrador” e “Código de Instrução”. Será adicionado 1 bit que pertencia ao “Endereço do Registrador” para o “Código de Instrução”, desta maneira será possível endereçar até 32 instruções a troco de reduzir o número de registradores internos de 16 para 8.

2. Metodologia

Visando possibilitar este projeto, primeiramente é necessário realizar um estudo a respeito dos aspectos da arquitetura original do microprocessador que devem ser adaptados para realizar a expansão na capacidade máxima de endereçamento de instrução. A arquitetura original do SDIII-16 está representada na figura 1.

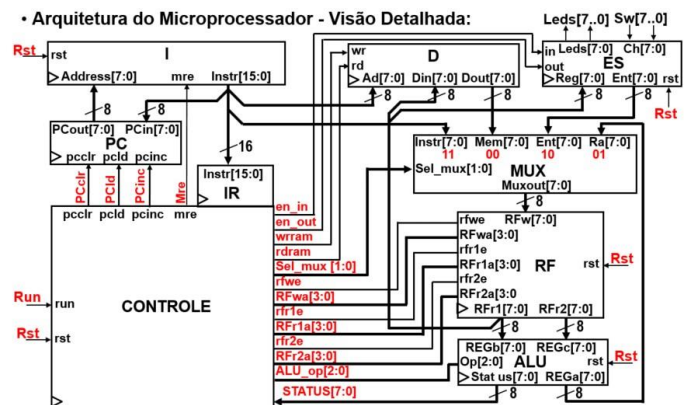


Figura 1 – Descrição das instruções do SDIII-16.

Após este estudo, serão realizadas as mudanças levantadas na etapa anterior através da linguagem de programação VHDL e serão simulados os resultados no programa Quartus II 8.2 Web Edition para ter certeza que mesmo com as alterações, o microprocessador funciona exatamente como era anteriormente.

Com o microprocessador já adaptado, será estudado as instruções de microprocessadores comerciais (como por exemplo, o 8051), visando levantar instruções oportunas de serem implementadas no SDIII-16.

Estas instruções levantadas serão devidamente implementadas no microprocessador e testadas. É importante ressaltar que estas instruções também necessitarão de novos blocos no microprocessador, desta forma, também serão feitas nesta etapa diversas alterações na arquitetura do SDIII-16.

3. Resultados

Durante a etapa de adaptação do SDIII-16, foi necessário modificar extensivamente o bloco “Controle”, o bloco “ALU” e o bloco “RF”. Estas modificações deram origem ao batizado “SDIII-16B”.

Neste microprocessador, foi possível implementar 6 novas instruções e uma arquitetura mais completa, com uma memória tipo pilha e outros componentes importantes para as novas instruções. Estas novas instruções implementadas estão representadas na tabela II.

Tabela II – Novas Instruções do SDIII-16B

| | |
|-------------|----------------------------------------------------------------|
| 17 - LNGJMP | 10000 X _[5..0] S _[7] O _[3..0] |
| 18 - INC | 10001 R _[2..0] X _[7..0] |
| 19 - DEC | 10010 R _[2..0] X _[7..0] |
| 20 - SWAP | 10011 R _[2..0] X _[7..0] |
| 21 - CALL | 10100 X _[2..0] O _[7..0] |
| 22 - RET | 10101 X _[2..0] X _[7..0] |

Legenda:
 X – Indiferente;
 R – Endereço do Registrador;
 O – Valor Direto;
 S – Define a operação: 0 = Soma, 1 = Subtração;

É importante ressaltar que nesta figura é possível notar a alteração do formato das instruções. O “Código da Instrução” agora conta com 5 bits enquanto que os “Endereços dos Registradores” contam apenas com 3 bits. Esta conversão na tabela de instruções também foi realizada com todas as outras instruções já existente no “SDIII-16”.

Nos próximos itens, são apresentadas as funcionalidade de cada uma das novas instruções implementadas:

- LNGJMP: Soma ou subtrai um valor do contador de programa;
- INC: Incrementa em uma unidade o valor de um registrador específico;
- DEC: Decrementa em uma unidade o valor de um registrador específico;
- SWAP: Inverte o *nibble* mais significativo com o *nibble* menos significativo de um registrador;
- CALL: Chama uma sub-rotina;
- RET: Retorna da atual sub-rotina.

Após a implementação destas novas instruções, foi realizado um teste comparativo entre as duas versões do “SDIII-16”. O mesmo programa foi implementado em ambos os microprocessadores, em seguida foi analisado o consumo total dos elementos lógicos da FPGA “Cyclone II – Dispositivo: EP2C70F896C8”. O resultado desta comparação está ilustrado na figura 2.

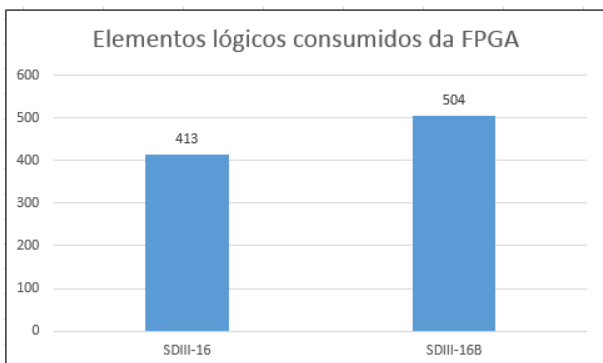


Figura 2 – Comparativo de consumo de elementos lógicos de ambos microprocessadores.

4. Conclusões

Ao decorrer do projeto, foi possível implementar ao todo seis novas instruções no microprocessador SDIII-16, o que é um aumento considerável, tendo em vista que ele possuía 16 instruções e agora possui 22 (com duas dedicadas à sub-rotinas). Além disso, foram realizados os devidos testes com cada uma destas instruções para garantir que suas respostas estão de acordo com o que é esperado e que os *flags* emitidos pela ULA estão condizentes com os resultados das operações, isto serve para nos assegurar que os saltos condicionais permanecem funcionando após a atualização do projeto.

Também foi expandido o número de instruções que o SDIII-16 pode ter no total. Anteriormente, ele suportava até 16 instruções, agora, suporta até 32. Este procedimento de expansão também foi feito na ULA do microprocessador, que agora pode ter até 16 operações ao invés de 8. Uma pequena parte destas instruções e operações não estão sendo utilizadas no momento, porém, isto também é interessante pois abre espaço para que outros alunos desenvolvam novas instruções e operações no microprocessador, gerando novas atividades em sala de aula ou até mesmo novas iniciações científicas que visem melhorar ainda mais o microprocessador SDIII-16, que é o microprocessador acadêmico “da casa” (desenvolvido na própria FEI).

5. Referências

- [1] Tocci, R. J. e Widmer, N. S. – Sistemas Digitais – 11ª, Edição, LTC, 2011.
- [2] Vahid, F. - Digital Design: with RTL Design, VHDL and Verilog, 2a ed., John Wiley and Sons, 2011.
- [3] <http://moodle.fei.edu.br>
- [4] Miles J. Murdocca e Vincent P. Heuring, Introdução a Arquitetura de Computadores. Ed. Campus, 2001.
- [5] Stallings, William, Arquitetura e organização de computadores. Prentice Hall, 2010.
- [6] Gimenez, Salvador P., Microcontroladores 8051 - Teoria e Prática. Ed. Érica, 2010.
- [7] Nicolosi, Denys E. C., Microcontroladores 8051 – Detalhado. Ed. Érica, 2000.

Agradecimentos

À instituição FEI, por incentivar a pesquisa científica e por disponibilizar todos os equipamentos e livros necessários para este trabalho.

Ao professor Orlando Del Bianco Filho, por toda sua atenção, por todo seu tempo dedicado a me orientar e por me ensinar conhecimentos imensuráveis que levarei para toda a vida.

¹ Aluno de IC do Centro Universitário FEI. Projeto com vigência de 08/17 a 07/18.