

FERRAMENTA DE OTIMIZAÇÃO DE CIRCUITOS INTEGRADOS EM RÁDIO FREQUÊNCIA

Douglas Mesquita Rocha¹, Salvador Pinillos Gimenez², Rodrigo Alves de Lima Moreto³

^{1,3} Dpto. de Engenharia Elétrica, Centro Universitário FEI

² Dpto. de Engenharia Elétrica, Centro Universitário FEI

uniedorochoa@fei.edu.br¹ rmoreto@fei.edu.br³

Resumo: Visando aproveitar a banda disponível, podemos melhorar o desempenho de sistemas de comunicação sem fio por meio da modificação de circuitos de rádio frequência (RF). Entretanto, projetar estes circuitos integrados (CIs) exige muito tempo, experiência e conhecimento. Este trabalho propõe uma abordagem evolucionária usando algoritmo genético (GA), que é implementado na ferramenta de otimização iMTGSPICE, para otimizar um amplificador de baixo ruído (LNA) numa tecnologia CMOS Bulk de 130 nm.

1. Introdução

Grande parte da banda de comunicação sem fio em altas frequências está ocupada devido a alta demanda desse tipo de serviço. Na medida em que o espaço a banda de comunicação fica menor, o ambiente de propagação dos sinais fica mais ruidoso. Uma abordagem básica para superar o problema do ruído é melhorar o circuito receptor do sistema de comunicação. O LNA é o primeiro componente ativo da cadeia de recepção [1] e um dos mais importantes circuitos no receptor que pode ser implementado usando tecnologia CMOS (*Complementary Metal-Oxide Semiconductor*). Ele é responsável por amplificar o sinal recebido adicionando o mínimo possível de ruído [2].

Para superar a complexidade de projetar um CI RF CMOS, este trabalho propõe o uso de uma ferramenta computacional para otimizar este tipo de circuito, chamada iMTGSPICE. Ela pode reduzir o tempo de otimização devido aos seus processos heurísticos de inteligência artificial, enquanto garante a robustez de, considerando variações ambientais e do processo de manufatura.

Este trabalho está organizado da seguinte maneira: Seção 2 apresenta a abordagem proposta. Adiante, na Seção 3, temos a topologia do LNA utilizado. Seção 4 discute os resultados obtidos pela abordagem proposta. Finalmente, a Seção 5 mostra as conclusões obtidas. Na Seção 6 temos as referências.

2. Metodologia Evolucionária

A Figura 1 ilustra o fluxograma da abordagem evolucionária proposta usando GA, intitulada iMTGSPICE [3], [4]. Esta ferramenta de otimização faz as análises robustas de Corner (C) e Monte Carlo (MC) no *loop* do processo de otimização.

No começo do processo deve-se configurar o iMTGSPICE (Bloco A) [4], [5]: a descrição do circuito para análises AC e DC; variáveis de entrada e saída com seus intervalos de tolerância desejados; e os parâmetros do GA.

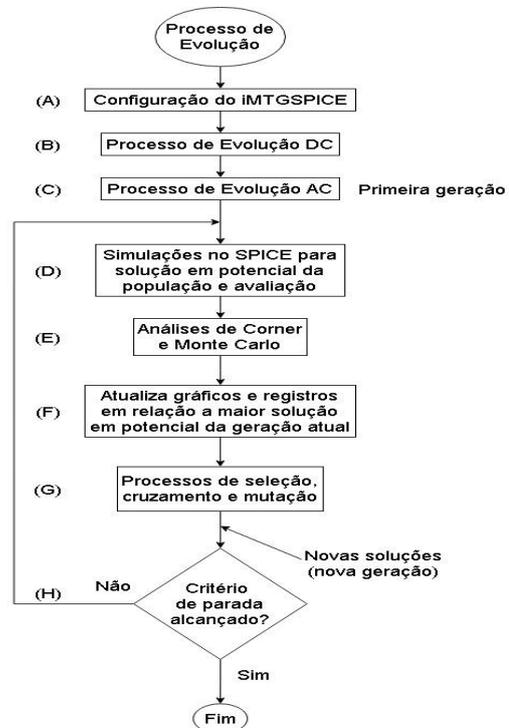


Figura 1 – Fluxograma do iMTGSPICE.

O processo de evolução é feito em dois estágios [5], [6]. O primeiro estágio (Bloco B) é responsável por evoluir as condições de polarização da corrente contínua dos MOSFETS, para garantir que todos operem na região desejada (saturação). O segundo estágio (Bloco C) é responsável pela análise AC do CI CMOS analógico. Após isso, é gerado randomicamente um número de potenciais soluções e algumas são trocadas pelas melhores soluções do primeiro estágio.

Em seguida, no Bloco D, cada solução em potencial é simulada no SPICE [5]. Então, as especificações de cada solução são obtidas e avaliadas pelas funções de aptidão.

Depois, no bloco E, a robustez (C e MC) das melhores soluções em potencial avaliadas pela função de aptidão é calculada. A seguir o valor da função de aptidão absoluta de cada solução é calculada e é feita a reordenação da população, dando maior prioridade para soluções em potencial mais robustas, que são as que pontuaram mais na avaliação.

As figuras de mérito (FMs), dimensões do MOSFET, condições de polarização, e valores dos componentes passivos da solução em potencial mais robusta obtida é mostrado na tela do iMTGSPICE (Bloco F). A Figura 2 apresenta parcialmente a tela que monitora as FMs e a avaliação.

No bloco G, os operadores genéticos são aplicados para gerar uma nova população para ser evoluída [4]. O critério de parada é verificado no bloco H. Se o número desejado de soluções robustas, ou o número de iterações definidas pelo projetista, for alcançado, o processo de otimização é finalizado.

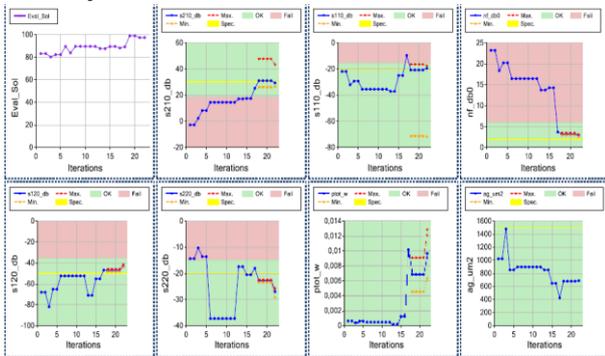


Figura 2 – Tela do iMTGSPICE que mostra o monitoramento das FMs e da avaliação da melhor solução em potencial para uma determinada iteração.

3. Topologia do LNA

O LNA proposto é apresentado na Figura 3. É baseado em um LNA de ultra-baixa potência apresentado em [1]. É composto por dois estágios, sendo o primeiro um clássico inversor auto polarizado e o segundo um *buffer* [1].

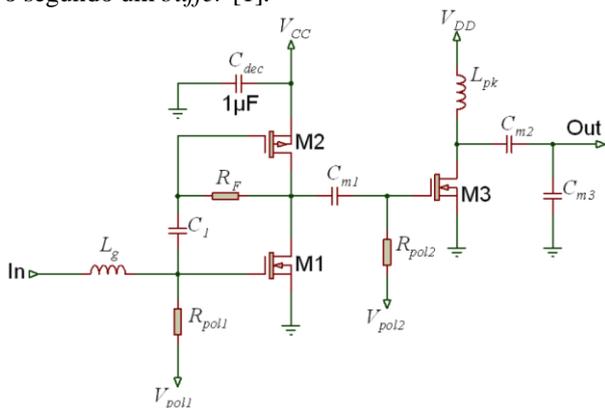


Figura 3 – Topologia do LNA.

4. Resultados

O iMTGSPICE foi executado em um *notebook* de 2.2 GHz com 8 GB (RAM) e sistema operacional windows 10. O processo de otimização, incluindo análise de robustez (C e MC), demorou 38 para achar soluções robustas.

A Tabela 1 apresenta os valores das FMs obtidas.

Tabela 1 – Parâmetros de otimização obtidos e desejados do LNA.

FMs	Obtidas	Especificações
$ S_{21} $	33.8 dB	≥ 19 dB
$ S_{11} $	-23.3 dB	≤ -15 dB
$ S_{12} $	-50.1 dB	≤ -35 dB
$ S_{22} $	-23.1 dB	≤ -15 dB
NF	4.93 dB	≤ 6 dB
P_{tot}	10.1 mW	≤ 20 mW

Na tabela 1, S_{21} é ganho direto, S_{11} e S_{22} são respectivamente os coeficientes de entrada e saída, S_{12} é isolamento reversa, NF é a figura de ruído e P_{tot} a potência consumida. Podemos observar que o iMTGSPICE atingiu com sucesso as especificações dentro da tolerância.

5. Conclusões

Este trabalho propôs uma abordagem usando GA para otimizar CIs CMOS RF, que foi integrada no iMTGSPICE. Um LNA foi projetado novamente para validar a abordagem proposta. Os resultados mostraram que esta ferramenta, por meio do método do algoritmo evolucionário e análises de C e MC, é capaz de produzir soluções robustas com um baixo tempo de processo. Sendo assim, o iMTGSPICE demonstrou ser uma ferramenta confiável para projetar CIs RF CMOS.

6. Referências

- [1] T. Taris, A. Mabrouki, H. Kraimia, Y. Deval, and J.-B. Begueret, “Reconfigurable Ultra Low Power LNA for 2.4GHz Wireless Sensor Networks”, proc. of the IEEE Int. Conf. on Electronics, Circuits and Systems, Athens, Greece, Dec. 12-15, 2010.
- [2] N. Rani and S. Sharma, “Design of Low Noise Amplifier at 3-10 GHz for ultra Wideband Receiver”, International Journal of Innovative Research in Computer and Communication Engineering., vol. 1, no. 7, pp. 1401–1409, Sep. 2013.
- [3] R. A. L. Moreto, C. E. Thomaz, and S. P. Gimenez, “Impact of designer knowledge in the interactive evolutionary optimisation of analogue CMOS ICs by using iMTGSPICE”, Electronics Letters, vol. 55, no. 3, pp. 164–165, Feb. 2019.
- [4] R. A. L. Moreto, C. E. Thomaz, and S. P. Gimenez, “Automatic Optimization of Robust Analog CMOS ICs: An Interactive Genetic Algorithm Driven by Human Knowledge”, proc. of the SBCCI 2018, Bento Gonçalves, Rio Grande do Sul, Brazil.
- [5] R. A. L. Moreto, C. E. Thomaz, S. P. Gimenez, “Gaussian Fitness Functions for Optimizing Analog CMOS Integrated Circuits”, IEEE Trans. Comput. - Aided Design Integr. Circuits Syst., vol. 36, no. 10, pp. 1620–1632, Oct. 2017.
- [6] R. A. L. Moreto, S. P. Gimenez, and C. E. Thomaz, “Analysis of a New Evolutionary System Elitism for Improving the Optimization of a CMOS OTA”, in Proc. of the 1st BRICS Countries Congress (BRICS-CCI), CI Applications in Industry Symposium, Recife, Pernambuco, Brazil, Sept. 8-11, 2013.
- [7] (2019) MOSIS Educational Program (MEP). [Online]. Available: <http://www.mosis.com>.

Agradecimentos

À instituição Centro Universitário FEI pela realização das medidas ou empréstimo de equipamentos.

¹ Aluno de IC do Centro Universitário FEI (CNPq). Projeto com vigência de 06/18 a 06/19.