

# MÓDULO DE GATE DRIVERS PARA CIRCUITOS DE POTÊNCIA

Dennis Nascimento Bernardo, Prof. Dr. Pedro Luiz Benko  
Departamento de Engenharia Elétrica, Centro Universitário da FEI  
dennis\_bernardo@hotmail.com e pbenko@fei.edu.br

**Resumo:** O *gate driver* é uma parte fundamental de qualquer conversor, sendo que seu desenvolvimento demanda uma grande parcela do tempo necessário para se projetar um circuito conversor, assim tornando-se um problema quando o objetivo é simplesmente desenvolver uma nova topologia.

Com o objetivo de tornar futuros projetos de eletrônica de potência mais rápidos e práticos, uma nova topologia de *gate driver* será desenvolvida, a fim de atender a maior parte dos circuitos de potência.

## 1. Introdução

Os circuitos conversores de potência podem ser divididos em duas partes: O estágio de potência (circuito que conecta a entrada até a carga, através de circuitos RLC e semicondutores chaveados) e um estágio de controle (circuito de realimentação). Desta forma, uma energia elétrica de entrada é modificada através do conversor, atendendo a necessidade da carga. A figura 1 ilustra o princípio de funcionamento dos conversores.

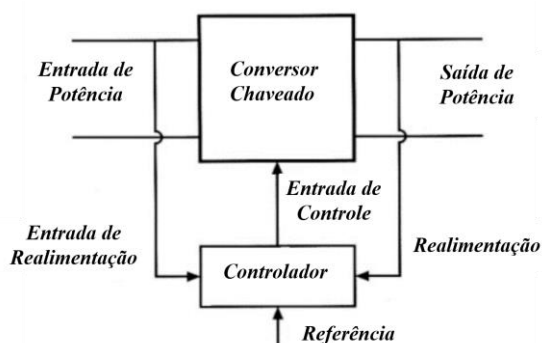


Figura 1 - Diagrama básico de um conversor

Pela definição do autor Trzynadlowski (1), os circuitos de controle são baseados em uma realimentação negativa. A saída do conversor é conectada a um sensor de ganho (geralmente composto por um divisor de tensão resistivo), a fim de obter a tensão resultante à uma mesma ordem do circuito de controle.

Como mencionado, o circuito de potência de um conversor é constituído de circuitos RLC, que juntos ao semicondutor chaveado, permite transformar a energia do sistema. Com base nisso, circuitos conversores AC-AC, DC-DC, DC-AC, AC-DC, entre outros podem ser obtidos, através da disposição destes componentes. Atualmente, MOSFETs, IGBTs e TBJs são largamente utilizados para esta aplicação, devido suas propriedades físicas. Para definir qual componente é o mais adequado, deve-se avaliar quais serão as necessidades da topologia do circuito conversor, como frequência de

chaveamento, máxima amplitude de tensão e corrente aplicada no dispositivo etc.

Segundo os autores Erickson e Maksimović (2), os *gate* e *base drivers* são circuitos auxiliares, com o objetivo de compatibilizar o sinal proveniente do circuito de controle e a tensão ou corrente necessária para que o eletrodo controlador da chave semicondutora opere adequadamente. Estes circuitos também podem ser utilizados para se obter uma isolamento elétrica entre os circuitos de potência e controle.

## 2. Dispositivos Semicondutores

Atualmente, existem diversas opções de dispositivos semicondutores para a aplicação em chaves eletrônicas, como MOSFETs, TBJs, IGBTs, entre outros. Entretanto, cada um deles possui uma construção interna particular e, portanto, possui especificações únicas de operação, de acordo com suas limitações físicas. A figura 2 ilustra melhor as diferenças entre cada tecnologia.

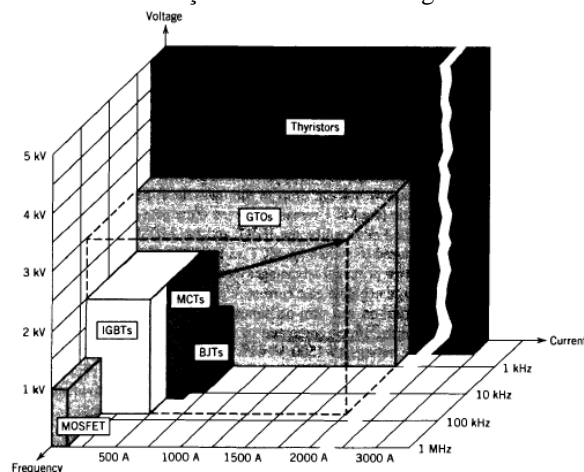


Figura 2 - Limitações em tensão, corrente e frequência dos dispositivos semicondutores mais utilizados

O dispositivo semicondutor mais utilizado atualmente em praticamente todas as aplicações de potência é o MOSFET (em inglês – Metal Oxide Semiconductor Field Electric Transistor). Devido ao dispositivo ser unipolar controlado por tensão, uma quantidade mínima de corrente em sua entrada é necessária, consumindo pequenos valores de potência ao chaveá-lo. Ainda, somente portadores majoritários contribuem para sua condução, o que permite utilizá-lo para chaveamento em frequências mais elevadas que outros dispositivos semicondutores devido à redução de suas capacitâncias internas. Por este motivo, um MOSFET será utilizado ao longo do desenvolvimento da topologia de *gate driver*.

## 3. Desenvolvimento da topologia

Duas topologias foram inicialmente desenvolvidas a fim de atender um chaveamento adequado, cujo possa

ser aplicado em futuros conversores de potência. A primeira é apresentada na figura 3:

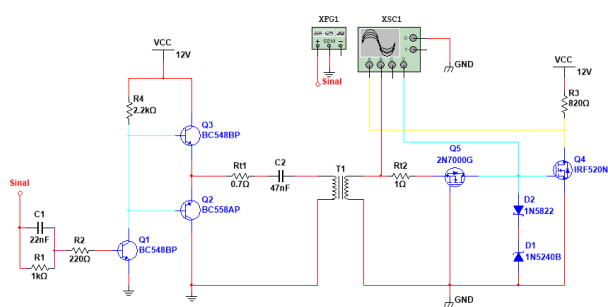


Figura 3 - Topologia 1 para Gate Driver

A segunda topologia é apresentada na figura 4:

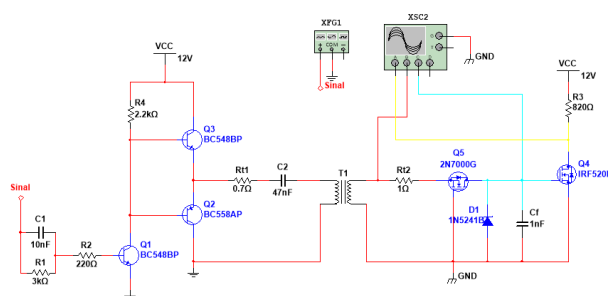


Figura 4 - Topologia 2 para Gate Driver

A distinção entre cada topologia ocorre após o transistor Q5. Os diodos D2 do tipo *Schottky* e D3 do tipo *Zener* são utilizados para grampear por todo o ciclo positivo da saída com a tensão carregada na capacitância do MOSFET Q4. Na segunda topologia, o capacitor  $C_f$  tem a função de aumentar a constante de tempo, a fim de manter a alta tensão por todo o *duty cycle*.

O transformador desenvolvido alterará a tensão de entrada a fim de compatibilizar a tensão enviada ao *gate* do MOSFET que será utilizado como chave.

O núcleo a ser utilizado no projeto é o NEE 19/8/5 IP6. Além disso, considerou-se a tensão máxima de entrada do transformador de 10V, a densidade de campo magnético máxima em 0,05T e a frequência de chaveamento do *gate driver* como 100kHz. Com isto, calculou-se o número de espiras no enrolamento primário, obtendo  $N_p = 20$  espiras.

A fim de ampliar a tensão de tensão, o transformador apresenta uma relação de espiras por 1,5. Desta forma, tem-se:  $N_s = 30$  espiras.

#### 4. Resultados e Discussões

As simulações para a topologia 1 e 2 estão apresentados nas figuras 5 e 6, respectivamente. Em ambas as figuras, a escala vertical está em 5V/divisão, enquanto a escala horizontal está com 5 $\mu$ s/divisão.

Utilizou-se o Multisim Professional 14.0 como software para realizar a simulação das topologias de *gate driver*.

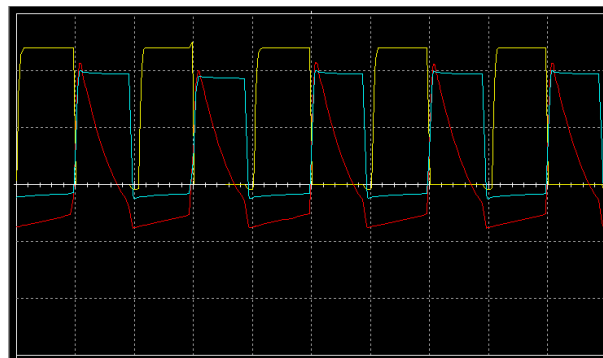


Figura 5 - Simulação da topologia 1

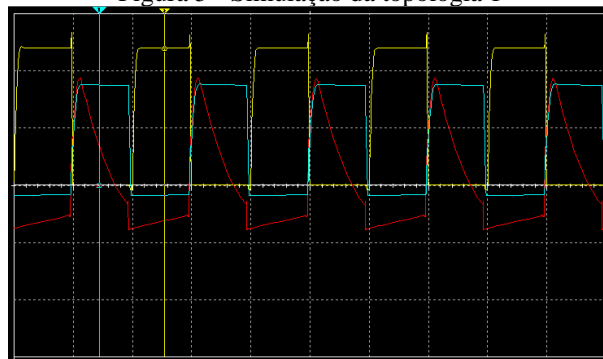


Figura 6 - Simulação da topologia 2

Nas figuras 5 e 6, a forma de onda amarela indica a saída do *gate driver*, a forma de onda azul representa o sinal da base do MOSFET, enquanto a forma de onda vermelha é o sinal recebido pelo enrolamento secundário do transformador.

De acordo com os resultados, a segunda topologia mostrou-se mais próxima do ideal, uma vez que o *duty cycle* está aproximadamente 50%, com um pulso de amplitude de 12V.

#### 5. Conclusões

O segundo modelo apresentou-se superior ao primeiro devido ao seu exato *duty cycle* de 50%. A tensão  $V_{GS}$  da primeira topologia se apresentou superior, ainda que isto não tenha acelerado seu chaveamento.

Com isto, o desenvolvimento de um módulo de *gate driver* terá duas entradas de 12V, referente a parte de potência, que alimentará o *gate driver* (MOSFET IRF520N) da topologia, e a segunda, de 5V a fim de fornecer o sinal lógico. Além disso, o objetivo é criar malhas isoladas através do transformador desenvolvido, havendo então dois pontos de referência distintos no circuito.

#### 6. Referências

- [1] TRZYNADLOWSKI, Andrezej M. **Introduction to Modern Power Electronics**. 2 ed. Wiley, 2010.
- [2] ERICKSON, Robert W.; MAKSIMOVIĆ, Dragan. **Fundamentals of Power Electronics**. 2 ed, Springer, 2001.

#### Agradecimentos

À instituição Centro Universitário da FEI pela disponibilização dos *softwares* de simulação de equipamentos e pelo uso dos laboratórios do CGI.

Aluno de IC do Centro Universitário. Projeto com vigência de 12/18 a 11/19.