

Influência da Tensão Aplicada ao Substrato nos Parâmetros Elétricos de Transistores Sem Junções com Camada Fina de Óxido Enterrado

Gerson Guilherme de Lima¹, Rodrigo Trevisoli Doria²
^{1,3} Departamento de Engenharia Elétrica, Centro Universitário FEI
g.g.ld@hotmail.com; rtdoria@fei.edu.br

Resumo: Este projeto tem como objetivo verificar por meio de simulações numéricas tridimensionais o que ocorre com os principais parâmetros elétricos de transistores SOI sem junções de múltiplas portas com camada fina de óxido enterrado ao se variar o potencial do substrato. Tem-se como objetivo verificar como se comportam a corrente elétrica, a inclinação de sublimiar e a tensão de limiar dos dispositivos com diferentes comprimentos de canal polarizados com diferentes tensões de dreno.

1. Introdução

Os transistores MOS têm sido indispensáveis no que se trata de projetos de circuitos integrados. A grande demanda por processamento de dados necessita de uma grande quantidade de transistores por *chip*, o que os fazem ser estudados para que cada vez mais sua tecnologia se avance. Este avanço tem como objetivo a fabricação de transistores com dimensões cada vez mais reduzidas, seguindo a chamada Lei de Moore.

Porém com essa diminuição nas dimensões, os transistores MOS passaram a sofrer com alguns problemas, denominados de efeitos de canal curto (SCE – *Short Channel Effects*) [1] que acabam degradando suas características elétricas, pois as regiões de depleção devido às junções de fonte e dreno passam a controlar parte da carga de depleção originalmente controlada pela porta. Para minimizar estes efeitos, surgiu a tecnologia de fabricação de silício sobre isolante (SOI), cuja presença do óxido dielétrico no substrato elimina muitos efeitos parasitários e isola a região ativa do transistor do restante do substrato [2].

Esta camada de isolante, denominada óxido enterrado é, usualmente, composta por dióxido de silício (SiO_2) e proporciona um melhor acoplamento capacitivo da estrutura, reduzindo a intensidade dos efeitos de canal curto e permitindo fabricação de transistores com menor comprimento de canal e melhores características elétricas.

Com a evolução da tecnologia SOI, as espessuras das camadas de silício e óxido enterrado que, inicialmente, eram da ordem de algumas centenas de nanômetros, foram reduzidas para algumas poucas dezenas de nanômetros. Transistores fabricados nesta tecnologia são denominados UTBB (*Ultra Thin Body and Buried Oxide*) [3] e apresentam características elétricas ainda melhores que transistores SOI de gerações anteriores, visto que a redução nas dimensões proporciona uma melhora no acoplamento capacitivo da estrutura.

A tecnologia UTBB apresentada dispõe de um processo de fabricação que permite que a região de silício

abaixo do óxido enterrado seja dopada com altas concentrações de dopantes tipo N ou P. Deste modo, é possível a polarização individual do substrato dos dispositivos através de um contato lateral como pode ser observado na Figura 1.

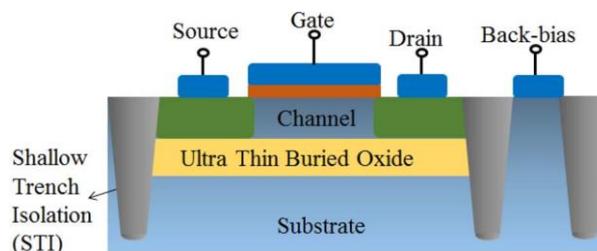


Figura 1 – Representação do transistor SOI UTBB com uma camada de óxido enterrado.

A polarização do substrato pode influenciar diversos parâmetros elétricos dos transistores UTBB como efeito de corpo, inclinação de sublimiar, transcondutância, condutância de saída e ganho de tensão. Deste modo, pode-se definir a tensão a ser aplicada ao substrato dos dispositivos visando à otimização de seu desempenho para uma dada aplicação.

Uma outra arquitetura também desenvolvida visando a redução da dimensão dos dispositivos consiste nos transistores sem junções ou JNTs (*Junctionless Nanowire Transistors*) [4]. Diferentemente de transistores convencionais, estes dispositivos se caracterizam por não possuírem junções PN de fonte e dreno, de modo que toda a camada de silício da região ativa é composta por um mesmo tipo de material com uma concentração de dopantes constante.

Os transistores sem junções funcionam em modo de depleção parcial e acumulação, ou seja, devido à diferença de função trabalho entre material de porta e silício, uma camada de depleção se estende por toda a profundidade da camada de silício quando uma tensão inferior à tensão de limiar (V_{TH}) é aplicada à porta do dispositivo, impedindo a condução da corrente elétrica. Para tensões de porta (V_{GS}) superiores à V_{TH} , um canal de condução é formado no interior da camada de silício, devido à redução espessura da camada de depleção. Com o aumento de V_{GS} , a região de depleção se reduz ainda mais aumentando o canal de condução, até que, ao se atingir a tensão de faixa plana, toda a camada de silício passa a conduzir corrente elétrica.

Até o momento, poucos trabalhos procuraram verificar o comportamento de transistores sem junções fabricados em tecnologia SOI com camada ultrafina de óxido enterrado. Deste modo, no trabalho atual será

verificado, através de simulações numéricas, como os principais parâmetros elétricos como corrente de dreno e tensão de limiar se comportam ao se variar o potencial de substrato em transistores UTBB sem junções.

2. Metodologia

Para realizar a simulação das características elétricas dos transistores sem junções com camada fina de óxido enterrado com variação da tensão aplicada ao substrato foi utilizado o software Sentaurus da Synopsys [5]. As simulações foram desenvolvidas considerando modelos para físicos para levar em conta a dependência da mobilidade com os campos elétricos vertical e horizontal, geração e recombinação de portadores e estreitamento de banda proibida.

A simulação da corrente de dreno (I_{DS}) foi feita em função da tensão de porta, variando-se diversos parâmetros elétricos e físicos do transistor. O comprimento de canal (L) foi variado entre 50 nm e 100 nm, a tensão de dreno (V_{DS}) variou de 0,05 V e 1 V e a tensão de substrato (V_S) variou de -2 V a 2 V com passos de 1 V.

A análise dos resultados obtidos pela simulação permitiu a extração da curva I_{DS} x V_{GS} e a determinação da tensão de limiar dos dispositivos de acordo com a tensão de substrato aplicada (V_{TH} x V_{BS}).

3. Resultados

Inicialmente, foram simuladas as curvas I_{DS} x V_{GS} para dispositivos com diferentes comprimentos de canal polarizados com diferentes V_S . Na figura 2, é apresentada uma família de curvas I_{DS} x V_{GS} para dispositivos com $L = 50$ nm polarizados com diferentes V_S . Como se pode observar a partir das curvas, um ligeiro aumento de I_{DS} é observado com o incremento da tensão de substrato dos dispositivos. Este efeito está relacionado com o incremento da concentração de elétrons nas regiões de fonte e dreno do dispositivo, reduzindo a resistência destas regiões.

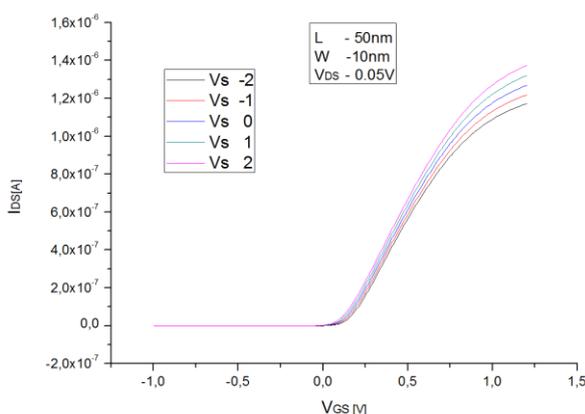


Figura 2 – Curvas I_{DS} x V_{GS} para dispositivos com $L = 50$ nm polarizados com diferentes tensões de substrato.

Com a retirada do gráfico de I_{DS} x V_{GS} foi possível determinar a tensão limiar para cada valor de tensão aplicada no substrato, a partir da obtenção de sua segunda derivada [6]. Observando a curva de V_{TH} x V_S

apresentada na Figura 3, foi possível identificar que, variando a tensão de substrato, existe uma variação linear da tensão de limiar do dispositivo. Isso se deve a mudança do acoplamento capacitivo induzido pela variação de V_S .

A redução de V_{TH} se deve a espessura da depleção entre o canal e o óxido enterrado que se reduz de acordo com o aumento da tensão aplicada sobre o substrato.

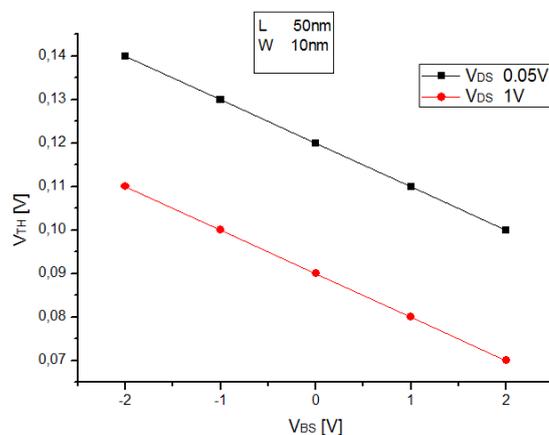


Figura 3 – Curvas de V_{TH} x V_{BS} para dispositivos com $L = 50$ nm e diferentes tensões de dreno.

4. Conclusões

A partir dos resultados obtidos foi possível observar que os transistores avaliados apresentam efeito de canal curto desprezível devido à baixa variação da tensão limiar mudando a tensão de dreno de 0,05V para 1V. Também é possível identificar um pequeno aumento da corrente de dreno ao de aumentar V_S , que pode ser atribuído ao aumento da concentração de elétrons nas regiões de fonte e dreno, além de uma variação linear da tensão de limiar ao se variar a tensão no substrato, que está associado à mudança no acoplamento capacitivo da estrutura..

5. Referências

- [1] K.K. Young, "Short-channel effect in fully depleted SOI MOSFETs", IEEE Transactions on Electron Devices, v.36, n.2, p.399-402, 1989.
- [2] J.P. Colinge, *Silicon on Insulator Technology: Materials to VLSI*, Kluwer Academic Publishers, 2004.
- [3] C. Fiegna, et al., *IEEE Trans. Electron Dev.*, v. 55, n. 1, p. 233–244, 2008.
- [4] R. Trevisoli, "Operação de modelagem de transistores MOS sem junção" p. 33-51, 2013.
- [5] Sentaurus Device Manual, Synopsys, U. S. A., 2018.
- [6] J.A. Martino, M.A.Pavanello e P.B.Verdonck, *Caracterização Elétrica de Tecnologia e Dispositivos MOS*, Editora Thomson, 2004.

Agradecimentos

À instituição Centro Universitário da FEI pela realização das medidas ou empréstimo de equipamentos.

¹ Aluno de IC do Centro Universitário FEI. Projeto com vigência de 02/19 a 01/20.