

CARACTERIZAÇÃO ELÉTRICA DE TRANSISTORES MOS FABRICADOS NA TECNOLOGIA CMOS DE 180NM DE COMPRIMENTO MÍNIMO DE CANAL

Beatriz Santos Hilbert¹, Marcelo Antonio Pavanello
Departamento de Engenharia Elétrica, Centro Universitário da FEI
biadehilbert@gmail.com, pavanello@fei.edu.br

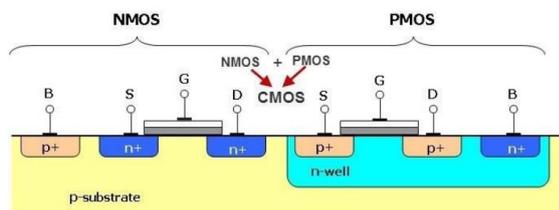
Resumo: Este trabalho tem como objetivo realizar a caracterização elétrica de transistores MOS fabricados na tecnologia UMC de 180nm de comprimento mínimo de canal, visando obter parâmetros elétricos. O estudo é baseado em medidas elétricas, para verificar o comportamento da corrente de dreno do dispositivo em função da tensão de porta.

1. Introdução

Os transistores MOSFET são dispositivos eletrônicos que seguem a tecnologia Metal-Óxido-Semicondutor com efeito de campo. Mais usualmente os MOS são construídos em lâminas de silício monocristalino, que serve de suporte físico para o dispositivo, e são fabricados sobre um substrato tipo p (ou seja, majoritariamente com cargas móveis positivas). O silício puro tem uma estrutura formada por quatro elétrons de valência associados a cada um dos átomos de silício. Para modular a condutividade do silício, é necessário inserir impurezas, que vão reagir com os elétrons do silício. Essas impurezas vão romper uma ligação covalente e dependendo do número de elétrons, darão origem aos materiais tipo N, caso sejam utilizadas impurezas pentavalentes, ou tipo P, caso sejam utilizadas impurezas trivalentes [1].

A figura 1 mostra a representação esquemática de um par CMOS, composto por um transistor MOS com canal tipo N (nMOS) e transistor MOS canal tipo P (pMOS). Nesta figura estão indicados os eletrodos de dreno (drain), porta (gate), fonte (source) e substrato (bulk).

Figura 1- Perfil transversal de transistores nMOS e pMOS, indicando os eletrodos de dreno, porta, fonte e substrato.



Fonte: Desconhecido.

Dentro dos parâmetros que são possíveis extrair do componente, um dos mais importantes [2] é a tensão de limiar (tensão na qual o transistor começa a conduzir - V_t), a qual é proporcional a concentração de dopantes e dependente das dimensões do comprimento de canal (L) e da largura (W) de canal. Em dimensões reduzidas, devido à proximidade dos terminais de fonte e de dreno, as regiões de depleção de fonte e dreno se estendem sob o canal de modo que a carga de depleção deixa de ser controlada apenas pelo potencial de porta, ou seja,

quanto menor o comprimento de canal, menor será V_t . Esse fenômeno é chamado de "Efeito de canal curto" e foi solucionado tecnologicamente injetando portadores majoritários de forma oblíqua ao dispositivo, dando origem a região denominada de "Pocket", onde há maior concentração de dopantes[3]. Em contrapartida, surgiu o fenômeno de "Efeito de canal curto reverso", ou seja, quanto menor o comprimento de canal, maior a tensão de limiar, em virtude do aumento da concentração média de dopantes com menores comprimento de canal[4].

2. Resultados

Realizou-se as medidas nos dois tipos de transistores, nMOS e pMOS, fabricados no "Test-Chip" utilizando a tecnologia CMOS de 180 nm de comprimento mínimo de canal da "foundry" UMC[5], com espessura do óxido de porta de 4nm.

Para um melhor entendimento, dividiu-se os transistores em quatro grupos, sendo eles:

- TN1 e TP1, com o menor comprimento de canal ($L=0,18 \mu\text{m}$);
- TN2 a TN7 e TP2 a TP7, com W constante e L variável. ($W=3,00 \mu\text{m}$);
- TN8 a TN11 e TP8 a TP11, com L constante e W variável. ($L=1,00 \mu\text{m}$);
- TN12 e TP12, com o maior comprimento e largura de canal ($L=W=10,00 \mu\text{m}$).

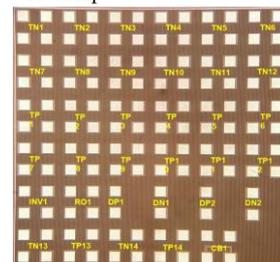
A Tabela 1 apresenta as dimensões dos transistores nMOS e pMOS e uma fotografia do TestChip é apresentada na figura 2, identificando as diversas estruturas disponíveis

Tabela 1: Dimensões dos transistores

Dispositivo	L (μm)	W (μm)
TN1	0,18	0,24
TN2	0,18	3,00
TN3	0,24	3,00
TN4	0,30	3,00
TN5	0,40	3,00
TN6	0,60	3,00
TN7	1,00	3,00
TN8	1,00	1,00
TN9	1,00	0,50
TN10	1,00	0,30
TN11	1,00	0,24
TN12	10,00	10,00

Fonte: o Autor.

Figura 2: Imagem do TestChip



A corrente de dreno (I_{DS}) de um transistor nMOS operando na região triodo pode ser descrita pela equação (1) [1]:

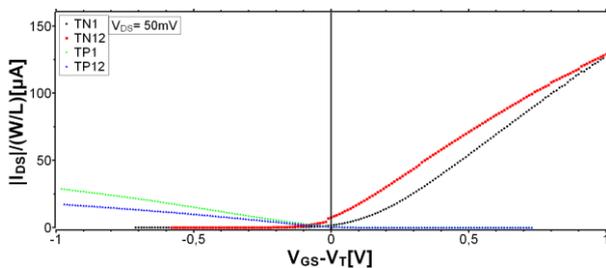
$$I_{DS} = \mu_n C_{ox} \left(\frac{W}{L} \right) \left[(V_{GS} - V_t) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (1)$$

onde μ_n é a mobilidade dos elétrons, V_{GS} é a tensão de porta, V_{DS} é a tensão de dreno.

Nos transistores nMOS a corrente de dreno e a tensão de porta são positivas, sendo a corrente de dreno com valores mais elevados com relação a corrente de dreno no transistor pMOS, em virtude da mobilidade dos elétrons ser superior a das lacunas (μ_p). A mobilidade dos portadores é um parâmetro relacionado ao movimento dos mesmos no semicondutor e quanto maior a mobilidade, maior será a corrente de dreno. Nos transistores pMOS a corrente de dreno e tensão de porta são negativas.

A figura 3 apresenta as curvas do módulo de $I_{DS}/(W/L)$ em função de $V_{GS}-V_t$, obtidas com tensão de dreno $|V_{DS}|=50mV$, para os transistores TN1 e TN12, TP1 e TP12.

Figura 3- Curvas $|I_{DS}|/(W/L) \times V_{GS} - V_t$ para os transistores TN1 e TN12, TP1 e TP12.



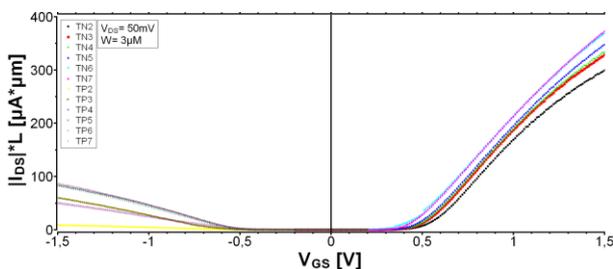
Fonte: Autor.

Se caso $V_{GS}-V_t$ fosse realmente constante, as curvas obtidas a seguir deveriam estar sobrepostas, entretanto, verifica-se que há uma diferença entre as correntes. Essa diferença, se dá, novamente pela concentração de dopantes e a sua mobilidade.

Para realizar a curva acima, foi necessário utilizar os valores efetivos da relação W/L , obtidos após a fabricação dos dispositivos, tendo em vista que são diferentes dos valores nominais, sendo eles iguais a 1,333 para os transistores TN1 e TP1 e iguais a 1 para os transistores TN12 e TP12. O valor de W/L efetivo é especialmente importante para os transistores com menores comprimentos de canal. Com isso, foi utilizada uma média de valores obtidos nas medidas de três chips, resultando 1,182 para o transistor TN1 e 1,68 para o transistor TP1.

Na figura 4 apresenta-se as curvas do módulo $I_{DS} \cdot L$ em função de (V_{GS}) , obtidas com tensão de dreno $|V_{DS}|=50mV$, para os transistores com L variável e $W=3\mu m$.

Figura 4- Curvas $|I_{DS}| \cdot L \times V_{GS}$ para os transistores com largura de canal constante e L variável.

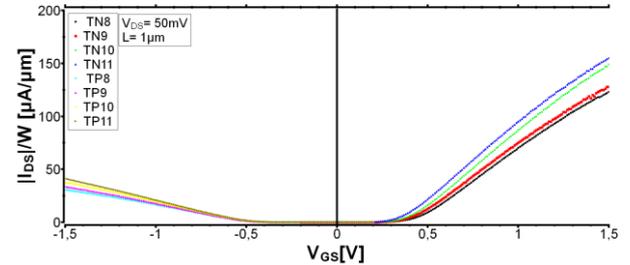


Fonte: Autor.

Observa-se nas curvas da figura 4, que representam o grupo b), que a redução de L causa uma diminuição na corrente $I_{DS} \cdot L$. Ao multiplicar as correntes de dreno por L , conforme o gráfico acima, verifica-se que a maior corrente representa o transistor TN7 ou TP7, que, possui o maior comprimento de canal do grupo. Esta redução está associada ao aumento da concentração de impurezas para menores L devido a formação da região "pocket". Com maior concentração de impurezas tem-se menor mobilidade e maior tensão de limiar.

A figura 5 apresenta as curvas do módulo de I_{DS}/W em função de V_{GS} , obtidas com tensão de dreno $|V_{DS}|=50mV$, para todos os transistores com W variável e $L=1\mu m$.

Figura 5- Curvas $|I_{DS}|/W \times V_{GS}$ Transistores com comprimento de canal constante.



Fonte: Autor.

Esta curva representa o grupo c) e representa um aumento da corrente com aumento da largura de canal. Analogamente ao que foi verificado na figura 4 para menores L , devido ao aumento da concentração de impurezas para larguras menores, a corrente de dreno é maior com maiores W . Com maior concentração de impurezas se tem menor mobilidade dos portadores, reduzindo a corrente elétrica.

3. Conclusões

Nesse trabalho foi realizada a extração das propriedades elétricas de transistores nMOS e pMOS fabricados com a tecnologia CMOS de 180 nm de comprimento mínimo de canal. As curvas obtidas demonstraram a ocorrência uma redução da corrente de dreno com a redução do comprimento e da largura de canal, a qual está associada ao aumento da concentração de dopantes nos transistores com menores dimensões, devido a formação da região "pocket".

4. Referências

- [1] Adel S. Sedra and Kenneth C. Smith. **Microelectronics Circuits**. 7. ed. Oxford University Press, 2014.
- [2] João A. Martino, Marcelo A. Pavanello e Patrick B. Verdonck. **Caracterização Elétrica de Tecnologia de Dispositivos MOS**. Cengage, 2003.
- [3] UMC. Disponível em: <<http://www.umc.com/English/>>.
- [4] Streetman, B. G.; Banerjee, S., **Solid State Electronic Devices**. 5th Ed.: Prentice Hall, 2000.

¹ Aluno de IC do Centro Universitário FEI Projeto com vigência de 12/18 a 11/19.

