

# EFEITO DA POLARIZAÇÃO DE SUBSTRATO EM TRANSISTORES SOI UTBBs

Everton Matheus da Silva<sup>1</sup>, Rodrigo Trevisoli Doria<sup>1</sup>

<sup>1</sup> Engenharia Elétrica, Centro Universitário FEI  
unieevsilva@fei.edu.br; rtdoria@fei.edu.br.

**Resumo:** Este trabalho apresenta uma análise do acoplamento capacitivo em transistores SOI UTBB MOSFET por meio de simulações numéricas bidimensionais. A análise foi efetuada através da extração do fator de corpo para diferentes polarizações de substrato, implantações de *ground plane* e comprimentos de canal.

## 1. Introdução

A tecnologia atual tem gerado um aumento exponencial na necessidade de redução das dimensões dos transistores, componentes considerados blocos de construção da eletrônica atual, atingindo escalas submicrométricas. Neste contexto, a tecnologia MOSFET padrão (Bulk), bastante conhecida e comumente utilizada, tem se mostrado ineficiente para os níveis de redução dimensional atual, apresentando diversos efeitos indesejáveis, alguns deles parasitários e outros, denominados efeitos de canal curto, que decorrem da interação das regiões de depleção do canal e das zonas de interface entre fonte/dreno e substrato, promovendo certa degradação das características eletrônicas dos dispositivos [1].

Deste modo, se faz notória a necessidade do estudo de novas tecnologias que apresentem melhores características de funcionamento dadas as necessidades atuais e, uma tecnologia que tem se mostrado bastante promissora é a tecnologia SOI MOSFET, que consiste em uma estrutura MOS onde a região ativa da lâmina de silício é separada do substrato por uma camada de dielétrico, denominada óxido enterrado.

Esta tecnologia apresenta certa redução nos efeitos de canal curto e efeitos parasitários. Porém, em contrapartida, apresenta problemas de auto-aquecimento devido a camada de óxido enterrado ser relativamente espessa e ter coeficiente de transmissão de calor inferior ao do silício [2]. Além disso, a espessa camada de óxido enterrado reduz a eficiência da polarização do substrato nas características elétricas dos dispositivos.

No entanto, como este princípio de estrutura se mostrou bastante promissor, algumas alterações foram propostas de modo a reduzir suas deficiências. Em primeiro lugar, foi proposta a redução da camada de silício da região de canal a espessuras da ordem de 6-10 nm, dando origem ao dispositivo *Ultra Thin Body*. Porém, esta alteração não produziu melhoras nos problemas de auto-aquecimento. Deste modo, uma segunda alteração foi proposta, dando origem a estrutura conhecida como SOI UTBB (*Ultra Thin Body and Buried Oxide*), que consiste em uma estrutura SOI com camadas de silício e óxido enterrado ultrafinas. [2,3]

Esta estrutura apresentou ganhos consideráveis nos efeitos de canal curto, efeitos parasitários e problemas de auto-aquecimento. Como a camada de óxido enterrado

possui espessura ultra fina (10-20nm), essa estrutura passou a permitir a utilização efetiva do substrato como uma segunda porta, o que, em muitos dos casos promove um ganho considerável no acoplamento capacitivo do dispositivo, dependendo de seu tipo (N-MOS ou P-MOS) e da tensão de polarização (positiva ou negativa) [3].

Com o intuito de aprimorar o efeito da polarização e permitir o acesso ao substrato de transistores individuais, uma técnica que consiste na implantação de uma camada de silício com alta concentração de dopantes (tipo-N ou tipo-P) abaixo do óxido enterrado, denominada *Ground Plane* (GP), foi desenvolvida [3].

A polarização de substrato altera o acoplamento capacitivo, variando a tensão de limiar ( $V_{TH}$ ), corrente de dreno e características de sublimiar. Deste modo, o objetivo deste trabalho é verificar o comportamento do acoplamento capacitivo, através da análise do fator de corpo ( $\alpha$ ), para polarizações de substrato ( $V_{BS}$ ) variando de -3 V a 2 V. A análise foi efetuada para estruturas com *ground plane* tipo P, tipo N e sem *ground plane*, bem como para diferentes comprimentos de canal, de 20 nm a 500 nm. A estrutura de dispositivo mencionado acima é ilustrada na figura 1.

## 2. Características dos dispositivos

O dispositivo analisado consiste na estrutura SOI MOSFET UTBB mostrada da figura 1 com as seguintes especificações: espessura do silício de canal ( $t_{si}$ ) de 10 nm, espessura de óxido de porta ( $t_{ox}$ ) de 1,7 nm, espessura de óxido enterrado ( $t_{box}$ ) de 20 nm, comprimento de fonte e dreno ( $L_{fd}$ ) de 30nm, comprimento de canal (L) variando de 20 nm a 500 nm, fonte e dreno dopadas com arsênio em concentração de  $5 \times 10^{20} \text{ cm}^{-3}$  e canal e substrato dopados com boro em concentração de  $1 \times 10^{15} \text{ cm}^{-3}$ . O *ground plane* das estruturas apresenta espessura de ( $t_{gp}$ ) de 10 nm e concentração de dopantes de  $1 \times 10^{19} \text{ cm}^{-3}$  e  $1 \times 10^{18} \text{ cm}^{-3}$ , respectivamente, para os tipos P e N. Todas as características das estruturas foram selecionadas com base na estrutura UTBB proposta pela STMicroelectronics descritas em [3].

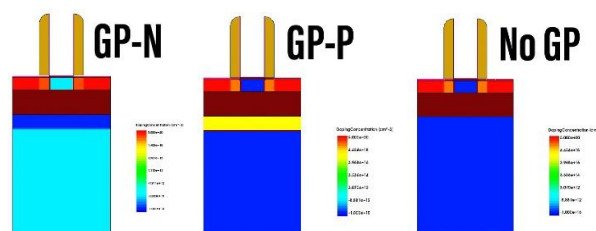


Figura 1 Transistores SOI UTBBs com  $L=20\text{nm}$ ;  $t_{si}=10\text{nm}$ ,  $t_{box}=20\text{nm}$  e *Ground Plane* tipo P, tipo n e sem GP (A coloração vermelha apresenta maior concentração de dopantes tipo N, sendo seu valor máximo de  $5 \times 10^{20} \text{ cm}^{-3}$  e a coloração azul escuro, maior concentração de dopantes tipo P, sendo seu valor máximo de  $1 \times 10^{15} \text{ cm}^{-3}$  nas estruturas GP-P e No-GP e de  $1 \times 10^{19} \text{ cm}^{-3}$  na estrutura GP-N).

### 3. Análise do Acoplamento Capacitivo

O software *Sentaurus Device* foi escolhido para realização de todas as simulações por apresentar considerável robustez e metodologia de cálculo de grade de pontos que permite a simulação da estrutura desejada. Para as simulações foram considerados modelos que representam a dependência da mobilidade nos campos elétricos vertical e longitudinal, geração/recombinação de portadores e estreitamento de banda proibida.

A extração de parâmetros consistiu na polarização e simulação da curva  $I_{DS} \times V_{GS}$  de todas as estruturas, posterior obtenção da inclinação de sublimiar (SS) e extração do fator de corpo através da expressão simplificada de (SS) expressa em (1). Finalmente, foi efetuada a análise em função do comprimento de canal, polarização de substrato e diferentes configurações de *ground plane*.

Nas Figuras 2, 3 e 4 são apresentadas, respectivamente, as curvas do logaritmo da corrente de dreno em função de  $V_{GS}$ , o fator de corpo em função do comprimento de canal e o fator de corpo em função de  $V_{BS}$ , para todas as configurações consideradas.

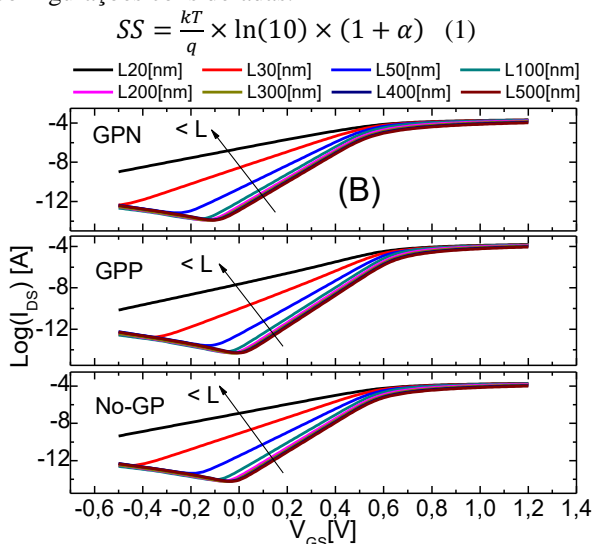


Figura. 2 Corrente de dreno em função da tensão de porta para todas as configurações de *ground plane*.

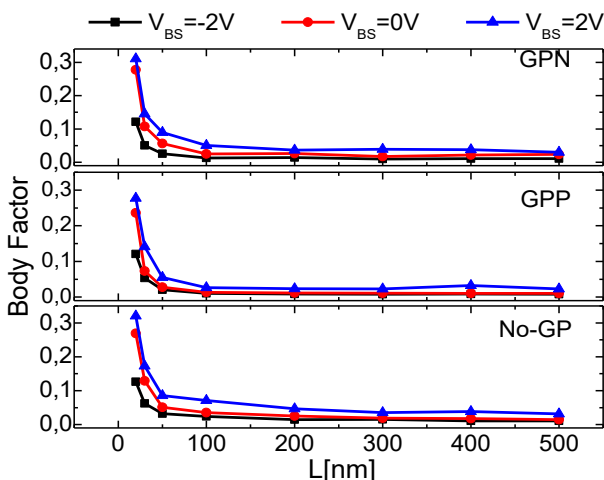


Figura. 3 Fator de corpo em função do comprimento de canal para todas as configurações de *ground plane*.

Através da análise da Figura 2 podemos notar que a corrente de dreno e a inclinação de sublimiar aumentam com a redução de  $L$ , enquanto que  $V_{TH}$  é maior para  $L$  maiores. A partir das Figuras 3 e 4 pode-se notar que a implantação de *ground plane* não promoveu resposta notória no acoplamento capacitivo, diferentemente do efeito observado com a polarização do substrato. Quando um  $V_{BS}$  negativo é aplicado, pode se notar um aumento do acoplamento capacitiva da estrutura, traduzido por uma redução do fator de corpo. Além disso, a resposta relativa a polarização de substrato foi muito mais notória e intensificada quando o comprimento de canal foi reduzido, indicando a efetividade do uso da polarização do substrato para a redução na ocorrência de efeitos de canal curto em transistores UTBB.

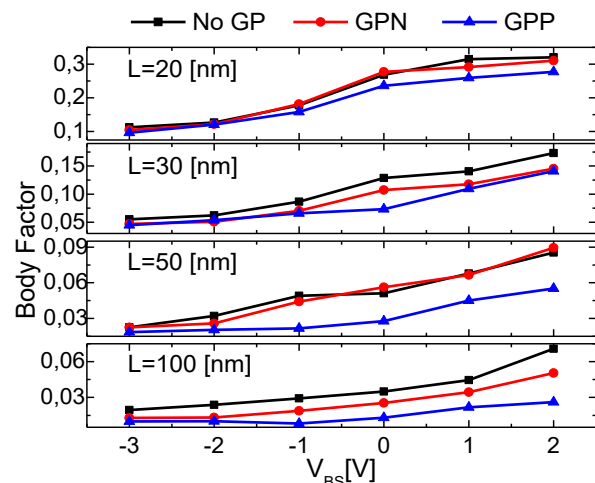


Figura. 4 Fator de corpo em função da polarização de substrato para todas as configurações de *ground plane* e comprimento de canal variando de 20nm a 100nm.

### 4. Conclusões

Ao final deste trabalho podemos concluir que a polarização de substrato apresenta uma resposta notória no acoplamento capacitivo do dispositivo, sendo que polarizações negativas tem seus efeitos amplificados quando o comprimento de canal do dispositivo é reduzido. Assim, embora a redução do comprimento de canal tenha afetado drasticamente o acoplamento capacitivo, devido a intensificação dos efeitos de canal curto, a polarização do substrato pode ser utilizada para minimizar estes efeitos. Com relação à implantação de GP, a mesma não apresentou grande interferência no fator de corpo, porém promoveu valores ligeiramente menores de  $\alpha$  para as estruturas com implantação GP-N.

### 5. Referências

- [1] J.P. Colinge, *Silicon on Insulator Technology: Materials to VLSI*, Kluwer Academic Publishers, 2004.
- [2] C. Fiegna, *et al.*, *IEEE Trans. Electron Dev.*, v. 55, n. 1, p. 233–244, 2008.
- [3] M.K. Md Arshad, *et al.*, *Solid-State Electronics*, vol. 90, pp. 56-64, 2013.

### Agradecimentos

À instituição Centro Universitário FEI pela realização das medidas ou empréstimo de equipamentos.

<sup>1</sup> Aluno de IC do CNPq. Projeto com vigência de 08/18 a 08/19.