

SISTEMA DE MEDIDA DE LATÊNCIA PARA SINCRONIZAÇÃO DOS SISTEMAS ELETRÔNICOS DO EXPERIMENTO DO CMS

Bruno Augusto Casu Pereira de Sousa¹, Prof. Dr. Marco Antonio Assis de Melo²,
Eng. Vitor Finotti³, Dr. Luigi Calligaris⁴, Prof. Dr. Luiz Guilherme Regis Emediato⁵

^{1,2} Departamento de Engenharia Elétrica, Centro Universitário FEI

^{3,4} Universidade Estadual Paulista (Unesp), Núcleo de Computação Científica (NCC), São Paulo

⁵ Departamento de Física, Centro Universitário FEI

brunocasu@uol.com.br, prelemediato@fei.edu.br

Resumo: A proposta do projeto é desenvolver um firmware para placa FPGA para avaliar as latências inseridas por longas secções de fibra óptica. A ideia é que a ferramenta desenvolvida permita sincronizar os sistemas do experimento do Compact Muon Solenoid, no LHC, sendo desenvolvida e testada em conformidade aos componentes e protocolos utilizados no detector.

1. Introdução

Um dos maiores experimentos do complexo do Large Hadron Collider (LHC) é o Compact Muon Solenoid (CMS) [1], sendo este, inclusive, um dos protagonistas na descoberta do Bóson de Higgs. O CMS tem como objetivo identificar e reconstruir o resultado das colisões de pacotes de prótons (BX) que ocorrem nos experimentos com o LHC. A detecção é feita nas diversas camadas que compõe a máquina do CMS, permitindo então a reconstrução do resultado evento, para posterior análise dos pesquisadores e físicos do European Organization for Nuclear Research (CERN) e inclusive de diversos outros grupos ao redor do mundo.

Devido às altas taxas de radiação ionizante, produzida nas colisões de prótons, os sistemas do CMS são separados. Os componentes que permanecem no interior do detector, no ambiente com altos níveis de radiação, formam o chamado Front-End System (FE), e são baseados em sensores de silício e chips do tipo Application Specific Integrated Circuit (ASIC), resistentes à radiação. O FE então é o segmento responsável pela detecção das trajetórias das partículas geradas nos BX. Ao passo que os sensores coletam os dados, os módulos do FE enviam esse grande fluxo de informações ao sistema que faz o roteamento dos dados das colisões, que, diferentemente dos chips do FE, foi baseado em componentes comerciais, incluído placas do tipo Field Programmable Gate Array (FPGA). Esses componentes formam o Back-End System (BE), que permanece isolado da máquina principal em cavernas blindadas contra radiação.

A interligação do BE e FE é feita por longas secções de fibra óptica, que inserem latências na transmissão dos dados dos BX. Devido à essa característica, é necessário computar e configurar os atrasos individuais inseridos pelos cabos no link óptico, para que os sinais enviados pelos ASICs ao BE possam ser associados ao correto BX que originou a informação. Esse processo de sincronização é fundamental para o funcionamento do CMS, permitindo que a imagem do evento possa ser reconstruída, garantindo uma análise confiável do resultado da colisão.

2. Metodologia

Para avaliar a latência introduzida pelos cabos de fibra óptica, foi desenvolvido um sistema simples mais eficiente, baseado na máquina de estados (FSM) da Figura 1, o que permite inclusive a implementação nas placas FPGA do BE, através do desenvolvimento de um firmware em linguagem VHDL. A ideia da FSM implica que ferramenta para medida de latência introduza um sinal de sonda no link óptico, ao mesmo tempo em que inicia um contador. O sinal então irá percorrer a fibra óptica até a placa de FE, que retransmite o sinal enviado. Ao passo que o sinal de sonda retorna à ferramenta, a contagem é cessada, permitindo avaliar o atraso pelo valor contido no vetor usado para o contador. Portanto, a precisão da ferramenta é limitada ao período de clock de referência do contador.

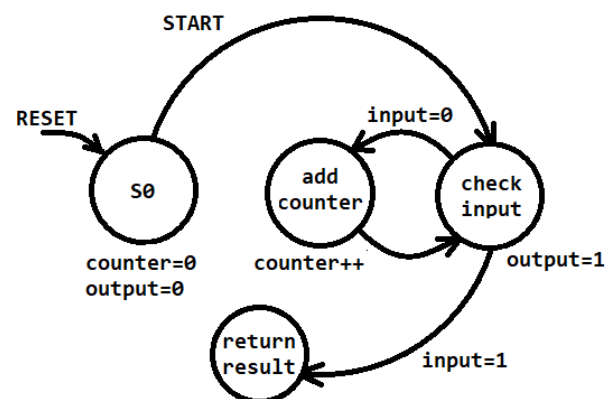


Figura 1 – FSM do sistema de contagem de atrasos.

Para a inserção da ferramenta na FPGA, ela será integrada e adaptada a um firmware maior, que contempla a estrutura necessária para a transmissão na fibra óptica. Esse firmware foi desenvolvido pelo São Paulo Research and Analysis Center (SPACE) para testes do link óptico do CMS, que, em colaboração ao projeto, disponibilizou essa interface. Esse firmware contém o protocolo de transmissão serial, desenvolvido para os experimentos do LHC, o GBT [2], permitindo estabelecer o link com o chip da placa de FE, que responde apenas usando o mesmo protocolo. Portanto, a ferramenta de medida de atraso utiliza o bloco que implementa o protocolo GBT na FPGA (GBT-FPGA [3]) como interface para enviar o sinal de sonda.

O código VHDL desenvolvido no projeto foi designado como Delay Counter, e segue a lógica da FSM descrita. A estrutura desse firmware dispõe da seguinte interface: duas entradas assíncronas, para

iniciar a ferramenta e resetar os sinais internos; duas entradas de clock, de valores 200MHz e 40MHz, e a entrada para recepção do sinal de sonda. Os clocks mencionados tem duas finalidades, o de valor mais alto funciona como a referência para o contador, que é incrementado a cada borda de subida. O de valor mais baixo tem como objetivo sincronizar o início da contagem com o envio do sinal de sonda ao GBT-FPGA. Em relação às saídas do firmware, ele dispõe de uma saída para envio do sinal de sonda, e o retorno do vetor de contagem, para leitura do resultado.

3. Testes e resultados

Para os testes do firmware o laboratório de instrumentação do SPRACE disponibilizou duas placas, que tem como objetivo simular o BE e FE. A placa que funciona como FE é a Versatile Link Demonstrator Board (VLDB), tendo como principal componente o ASIC GBTx [4]. Visto que a função do FE nos testes é apenas para reenviar o sinal de sonda, o GBTx será programado no modo de loopback. Para simular o BE é usada a placa FC7 [5]. Esse componente é baseado na arquitetura μ TCA, e contém inclusive uma FPGA Kintex 7, onde o firmware do projeto será configurado. Para gerar o firmware e programá-lo na FPGA foi usado o software Vivado, da Xilinx. As medidas foram coletadas no mesmo software através da interface Virtual IO.

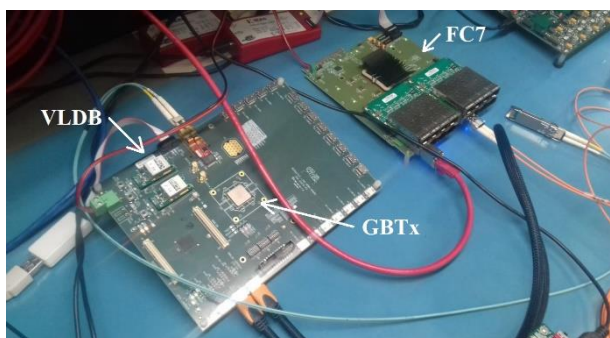


Figura 2 – Ambiente de testes (foto no SPRACE).

Foram usados 6 comprimentos (L) diferentes de fibra óptica do tipo OM1, com índice de refração do núcleo de 1,496, para a comunicação das placas. Com isso é esperado que cada metro de fibra insira uma latência de 4,99ns no link. Com as placas programadas, o link pode ser estabelecido, e as medidas são extraídas do Vivado em ciclos de clock (cc) a 200MHz. A Média da Tabela 1 foi obtida pela composição de 100 medidas feitas para cada L, que multiplicada pelo período do clock (5ns), indicam a latência total do link.

Tabela 1 – Resultado das medidas do Delay Counter

L (m)	100	80	60	40	20	2
Média (cc)	159,05	138,90	119,00	99,05	77,55	59,70
Latência (ns)	795,25	694,50	595,00	495,25	387,75	298,50

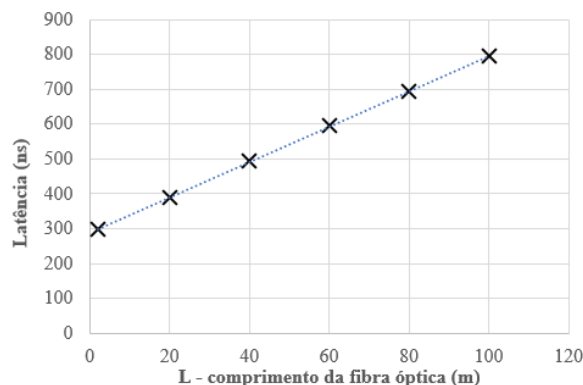


Figura 3 – Regressão linear dos dados obtidos nos testes

A Figura 3 apresenta a regressão linear dos valores de latência para cada valor de L, mostrando uma correspondência entre o modelo linear e as medidas. Do gráfico, podemos extrair os atrasos constantes, inseridos pelos componentes e protocolos do link. Esse valor foi de 289ns, e deve ser subtraído das medidas de latência da ferramenta, para se obter apenas o atraso inserido pela fibra óptica. Tomando como exemplo o caso com maior comprimento (L=100m), temos que o resultado da medida, apenas para o cabo, foi de 506ns, apresentando uma diferença de 1,4% em relação ao valor esperado de 499ns. No teste com menor comprimento de fibra (L=2m) a diferença entre modelo e medida é maior, 4,8%. Apesar disso, em ambos os casos, as medidas e o modelo linear são compatíveis com as incertezas experimentais presentes nos testes.

4. Conclusões

Os resultados comprovam a eficácia e precisão da ferramenta desenvolvida para estimar a latência na transmissão utilizando a fibra óptica, permitindo então afirmar que foi desenvolvido um firmware, adaptado aos componentes do CMS, para medida de atrasos no link óptico. Além disso, o código permite uma fácil integração a sistemas maiores, funcionando como uma ferramenta versátil. Portanto, o resultado do projeto se mostrou satisfatório, visto que, com algumas melhorias na precisão, o firmware poderia fazer parte do BE do CMS, auxiliando no processo de sincronização dos chips do FE.

5. Referências

- [1] CMS Collaboration. **The Phase-2 Upgrade of the CMS Tracker**. 2017.
- [2] Moreira, P. **GBT Project: Present & Future**. 2014.
- [3] Baron, S. **GBT-FPGA User Guide**. V1.4. 2016.
- [4] GBT Project. **GBTx Manual**. V0.16. 2018.
- [5] Pesaresi, M. **The FC7 AMC for DAQ & control applications in CMS**. 2014.
- [6] Vahid, F. **Sistemas Digitais: Projeto, Otimização e HDLs**. 2008.

Agradecimentos

Ao SPRACE pela disponibilização do hardware para teste.

¹ Aluno de IC do Centro Universitário FEI. Projeto com vigência de 10/18 a 09/19.