

Estudo de Métodos de Extração de Tensão de Limiar em Transistores Nanofios SOI em Função da Temperatura

Vinicius Prates¹, Michelly de Souza²

^{1,2} Departamento de Engenharia Elétrica, Centro Universitário FEI
viniciusprates@hotmail.com, michelly@fei.edu.br

Resumo: Este trabalho apresenta uma análise de oito métodos de extração da tensão de limiar de transistores nanofios, comparando-os com uma definição física do parâmetro. A análise é realizada através da simulação de transistores com diferentes dimensões e temperaturas de operação. Foi observado que para transistores de canal longo o método da transcondutância pela corrente apresentou a melhor correspondência com o valor físico no intervalo de temperatura analisada. Para transistores com canal curto nenhum método apresentou tendência similar à referência.

1. Introdução

Atualmente a demanda por aparelhos eletrônicos de dimensões reduzidas tem aumentado, devido, principalmente, à *Internet of Things* (IoT) [1]. Com isso, surge a necessidade de dispositivos eletrônicos que consumam menos energia, para que desta forma possa se reduzir sua bateria, diminuindo a dimensão total do produto e aumentar sua autonomia. Para reduzir o consumo de energia de um transistor a tensão de alimentação é reduzida, necessitando reduzir também a tensão de limiar do transistor. Este parâmetro é um dos mais importantes para modelar MOSFETs [2], uma vez que indica a tensão necessária para que o transistor opere em estado ligado. Portanto, é essencial determinar com exatidão o seu valor para realizar o projeto do circuito. Existem diversos métodos para extrair a tensão de limiar. Entretanto, cada método apresenta valores diferentes, gerando incerteza sobre o seu exato valor. Normalmente a tensão de limiar é definida como sendo o valor de tensão aplicada à porta que eleva o potencial da superfície do canal para duas vezes o potencial de Fermi. Porém, em novas tecnologias onde o canal não é dopado, como em nanofios transistores, essa definição não é mais válida, já que altos níveis de correntes já são observados em tensões inferiores a duas vezes o potencial de Fermi.

O nanofio transistor SOI é uma promissora tecnologia para o contínuo escalamento da tecnologia CMOS. A sua estrutura tridimensional permite que o transistor tenha dimensões menores, uma vez que os Efeitos de Canal Curto (SCE – *Short-Channel Effects*), responsáveis pela degradação das características elétricas do transistor, são reduzidos [3]. Uma representação esquemática do nanofio é mostrado na Figura 1.

Este trabalho tem como objetivo avaliar diferentes métodos de extração da tensão de limiar aplicado a nanofios transistores SOI operando em diferentes temperaturas e comprimentos (L) e larguras (W_{FIN}) de canal e comparar com o valor da definição física da tensão de limiar, utilizando simulações tridimensionais.

2. Tensão de Limiar

Para este trabalho foram estudados oito métodos de extração da tensão de limiar (V_t), que utilizam curvas de corrente de dreno (I_D) em função da tensão de porta

(V_{GS}) com o transistor operando na região linear. Os métodos analisados são [4]: corrente constante (CC), segunda derivada (2D), extrapolação linear (ELR), extrapolação linear da transcondutância (GMLE), transição (G1), Y-Function, segunda derivada do logaritmo (2DL) e transcondutância pela corrente (G_M/I_D). Em nanofios, uma definição mais adequada para a tensão de limiar é o valor de tensão de porta (V_G) que iguala a corrente de deriva e de difusão. Essa será a definição utilizada como referência para comparação com os métodos.

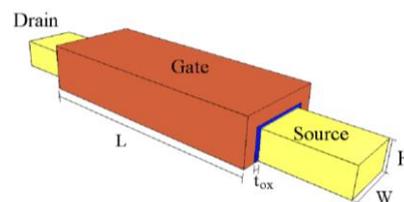


Figura 1 - Representação esquemática de um nanofio

3. Parâmetros da Simulação

Para as simulações tridimensionais foi utilizado o software Sentaurus Device Simulator. As dimensões do canal dos transistores simulados são: altura (H) de 9 nm, largura (W_{FIN}) de 10 nm e 40 nm para dois comprimentos (L), de 40 nm e 100 nm. Para analisar a influência da temperatura (T), foram simulados os transistores operando entre 300 K e 550 K. Foram simuladas curvas I_D vs V_{GS} com tensão de dreno (V_{DS}) de 40 mV para extração da tensão de limiar. Para a extração do valor físico de V_t foi extraído, para cada tensão de porta o valor da corrente de deriva e de difusão, para obter um gráfico das componentes da corrente em função de V_{GS} e analisar o ponto em que ambas se igualam. Na Figura 2 é mostrado a corrente de deriva e difusão em função de V_{GS} para um transistor com $L=100\text{nm}$ e $W_{FIN}=10\text{nm}$.

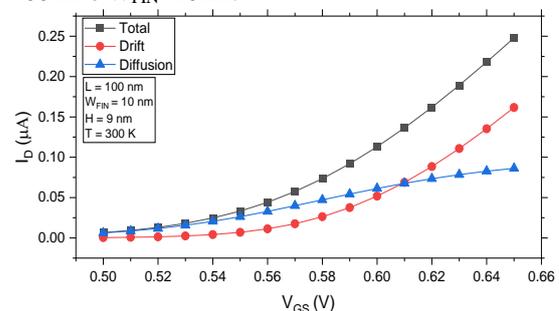


Figura 2 – Corrente de Deriva e Difusão em função de V_{GS}

4. Resultados e Discussão

Nas Figuras 3(A) e 3(B) são apresentados os valores de V_t extraídos através dos métodos e pela igualdade das correntes de deriva e de difusão em função da temperatura (T) para W_{FIN} de 10 nm e de 40 nm, respectivamente, ambos com canal longo ($L=100\text{nm}$).

Pode-se observar que a tensão de limiar reduz linearmente com o aumento da temperatura para todos os métodos. Entretanto, há uma diferença de valores e de inclinação da reta, mostrando assim incerteza no valor exato de V_t apresentado pelos métodos. Contudo, é possível observar que o método G_M/I_D apresenta uma ótima correspondência com o valor físico da tensão de limiar para ambas as larguras de canal, uma vez que este método se baseia no mesmo princípio.

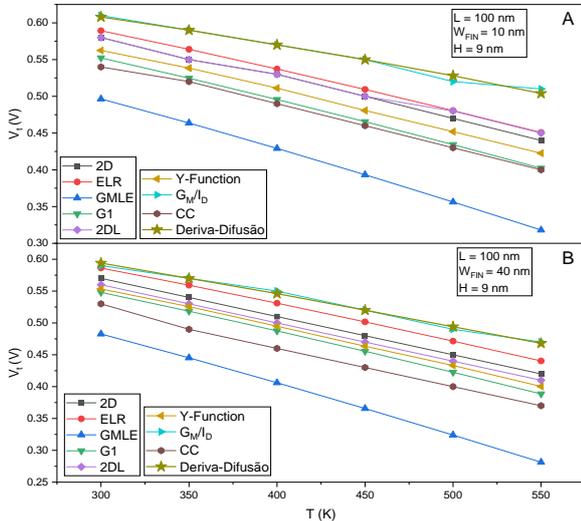


Figura 3 – Gráfico de V_t em função de T para W_{FIN} de 10 nm (A) e de 40 nm (B)

Os gráficos de V_t em função da temperatura para W_{FIN} de 10 nm e de 40 nm com $L = 40$ nm são mostrados, respectivamente, nas Figuras 4(A) e 4(B). Para o transistor de canal estreito (baixo valor de W_{FIN}) o método de G_M/I_D apresenta uma boa correspondência com o valor de referência de V_t . Por outro lado, no transistor com canal mais largo, isto não ocorre. Para baixas temperaturas, o V_t físico apresenta valores próximos dos métodos 2D e ELR. No entanto, para temperaturas mais altas isto não ocorre, indicando diferenças na inclinação das curvas.

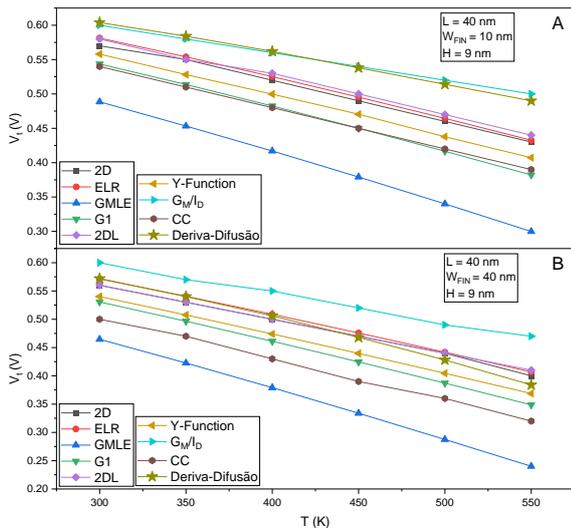


Figura 4 – Gráfico de V_t em função de T para W_{FIN} de 10 nm (A) e de 40 nm (B)

Devido à relação linear entre V_t e T , foi extraída a inclinação da reta (dV_t/dT) de cada método. Na Figura 5(A) são apresentados os resultados de dV_t/dT em função de W_{FIN}

para $L = 100$ nm. Para todos os métodos a inclinação aumenta com o aumento do W_{FIN} , como ocorre com o valor físico de V_t . Porém, apenas o método de G_M/I_D apresenta valores próximos do V_t físico. Os outros métodos apresentam dV_t/dT maiores, chegando quase ao dobro no caso do método GMLE.

Na Figura 5(B) dV_t/dT em função de W_{FIN} é apresentado para $L = 40$ nm. Para canal estreito, o método G_M/I_D apresenta variação mais próxima do V_t físico. Entretanto, para transistores largos o método G1 e CC apresentam inclinações mais semelhantes. Nenhum método apresentou dV_t/dT semelhante ao valor do V_t físico, indicando que para transistores que sofrem de SCE, nenhum método se mostrou eficaz em prever a variação de V_t com a temperatura.

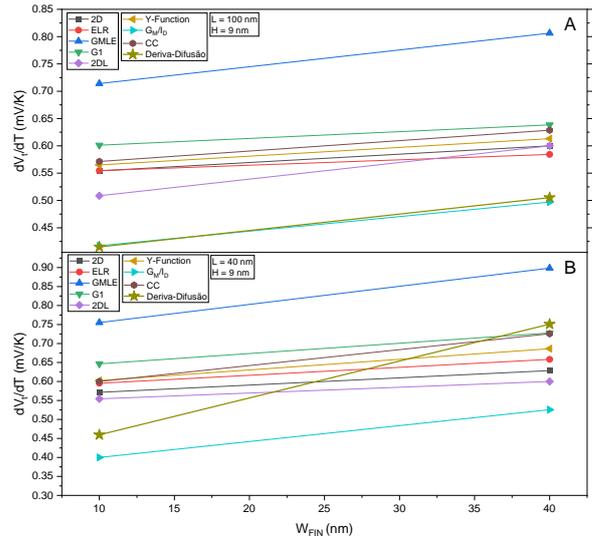


Figura 5 – dV_t/dT em função de W_{FIN} : $L = 100$ nm (A) e 40 nm (B)

5. Conclusões

Neste trabalho foi apresentado que há variação entre os valores de tensão de limiar obtidos através de diferentes métodos de extração. Foi visto que para transistores com canais longos, o método G_M/I_D se mostrou o mais adequado, uma vez que os valores e a inclinação da curva coincidiram com o V_t obtido através da definição física. Essa concordância já era esperada, uma vez que este método se baseia na mesma definição física utilizada na referência. Porém, ao analisar transistores de canal curto, este método e nenhum outro se mostrou adequado para descrever a variação da tensão de limiar com a temperatura, devido aos SCE.

6. Referências

- [1] L. Atzori et al. The Internet of Things: A survey. Computer Networks, vol. 54, n. 15, 2010, p. 2787-2805.
- [2] Liou JJ, et al. Analysis and design of MOSFETs: modeling, simulation and parameter extraction. USA: Kluwer Academic Publishers; 1998,
- [3] Veeraraghavan, S., Fossum, J. G., Short-Channel Effects in SOI MOSFETs, IEEE Transactions on Electron Devices, 1989.
- [4] Ortiz-Conde, A., et al. Revisiting MOSFET threshold voltage extraction methods, Microelec. Reliability, v. 53, 2013, p. 90-104.

Agradecimentos

Vinícius Prates agradece à FAPESP pelo apoio financeiro para a realização deste trabalho (Processo 2022/12622-5).

¹ Aluno de IC da FAPESP. Projeto com vigência de 11/2022 a 10/2023.