

IMPLEMENTAÇÃO DO MODELO DE TRANSISTORES MOS SEM JUNÇÕES EM LINGUAGEM VERILOG-A

Liz Menichetti Marcello¹, Marcelo Antonio Pavanello²
^{1,2} Departamento de Engenharia Elétrica, Centro Universitário FEI
¹liz.menichetti@gmail.com; ²pavanello@fei.edu.br

Resumo: Esse projeto tem o objetivo de revisar a implementação do modelo analítico para transistores MOS sem junção, desenvolvido por pesquisadores do Centro Universitário da FEI, em linguagem Verilog-A. Ao considerar tanto a análise dinâmica quanto a estática foi possível realizar otimizações ao longo do código com o auxílio do simulador de circuitos ELDO.

1. Introdução

A crescente miniaturização dos transistores possibilitou o surgimento de componentes eletrônicos abaixo de 22 nm como é o caso do transistor *FinFET* de porta tripla, que é caracterizado por regiões de dreno, canal e fonte construídos em uma aleta (*Fin*), justificando o seu nome.

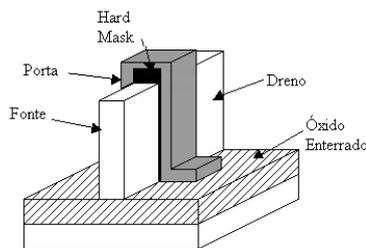


Figura 1 - Perfil Transversal de um transistor FinFET

A perda de controle sobre as cargas na região de canal em transistores curtos torna o uso de dispositivos MOS planares extremamente complexo em circuitos com alta escala de integração (*Ultra Large Scale Integration – ULSI*). Assim, tecnologias alternativas, como arquitetura de múltiplas portas têm sido cada vez mais estudadas pela comunidade científica e ganhado destaque nas indústrias de semicondutores [1, 2, 3, 4, 5].

A complexidade no processo de fabricação em dispositivos de múltiplas portas como FinFETs de porta dupla [5] e Trigates [6] levou ao desenvolvimento de uma nova estrutura chamada de transistor sem junções (*Junctionless*) [7].

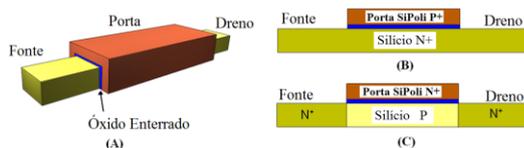


Figura 2 - (A) Representação esquemática de um transistor de múltiplas portas, (B) secção transversal de um MOS sem junção e (C) secção transversal de um transistor modo inversão

O transistor sem junções (JNT) possui concentração da fonte ao dreno, evitando a difusão de dopantes para o interior do canal. Assim, uma fina e estreita camada de

silício com alta concentração de dopantes é coberta por óxido e material de porta, que delimitam o comprimento do canal.

Inúmeras vantagens do transistor sem junções em relação aos demais dispositivos de múltiplas portas como FinFETs têm sido demonstradas. De acordo com [7], devido à maior dopagem, transistores sem junção apresentam uma menor mobilidade que a apresentada por FinFETs e uma redução de sua dependência com a temperatura.

2. Desenvolvimento

Para melhor compreensão do transistor MOS sem junções, foram estudados algumas de suas propriedades elétricas: mobilidade, inclinação de sublimiar, tensão de limiar e transcondutância.

A mobilidade dos portadores está relacionada à velocidade de deriva (v) dos portadores e ao campo elétrico aplicado, e descreve o movimento dos portadores em um determinado material. Os efeitos de degradação de mobilidade que não dependem do campo elétrico são considerados na mobilidade de baixo campo. O transistor sem junção apresenta baixa mobilidade de campo, devido sua alta dopagem.

A inclinação de sublimiar (S) é definida como a variação da tensão de porta necessária para aumentar a corrente de dreno em uma década.

Como definição geral, a tensão de limiar (V_{th}) é a mínima tensão aplicada à porta necessária para que haja a formação de uma camada de inversão, formada por portadores minoritários, que conecta as regiões de dreno e fonte, permitindo a passagem de corrente [8].

A tensão de limiar nos dispositivos sem junções possui uma dependência com as características físicas dessa tecnologia (concentração de dopantes e dimensões). Apesar de indicar a princípio uma dificuldade na modelagem de projetos, um V_{th} flexível trás vantagens como a associação de série assimétrica de dispositivos com diferentes larguras, e, portanto, distintas tensões de limiar, sendo possível melhorar o desempenho desses dispositivos em aplicações analógicas.

A transcondutância (g_m) é um parâmetro elétrico responsável por medir a eficiência do controle da porta sobre o dreno. A transcondutância é definida pela derivada da corrente em relação à tensão da porta, indicado na equação (1):

$$g_m = \frac{dI_{DS}}{dV_{GS}} \quad (1)$$

Onde:

I_{DS} é a corrente de dreno

V_{GS} é o potencial de porta

Após as definições das propriedades elétricas, foi realizado um estudo detalhado na linguagem Verilog-A para dividir o código do modelo analítico em duas frentes: estática e dinâmica. Enquanto que a parte estática considera o cálculo da mobilidade, efeitos de canal curto e a tensão de saturação de dreno, a dinâmica considera as capacitâncias intrínsecas e o cálculo do efeito da resistência série.

3. Resultados

Nesse modelo analítico, foram criados arquivos auxiliares, sub-rotinas, que agrupam comandos específicos, com o objetivo de otimizar o código. Algumas sub-rotinas englobam parâmetros e operadores de definição de compilação.

O simulador de circuitos utilizado na realização de experimentos é o ELDO, uma ferramenta de simulação de sinais analógicos e mistos.

A figura 3 apresenta a curva $I_{DS} \times V_{DS}$ do transistor nMOS da parcela estática, obtidas com tensão de dreno $V_{DS} = 2V$, e dimensões do canal comprimento ($l = 100n$), largura ($w = 10n$) e altura do transistor ($h=10n$):

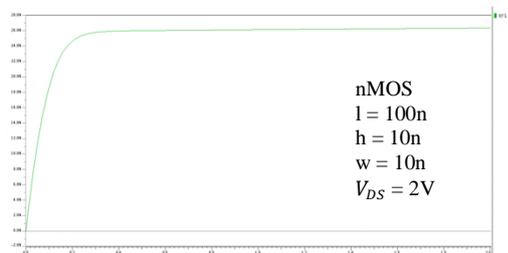


Figura 3 - $I_{DS} \times V_{DS}$ - nMOS

Na figura 4, apresenta-se as curvas da parte dinâmica com relação as capacitâncias intrínsecas com tensão de dreno $V_{DS} = 2V$ e dimensões do canal comprimento ($l = 100n$), largura ($w = 10n$) e altura do transistor ($h=10n$):

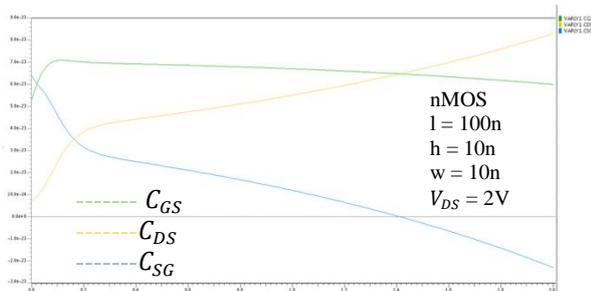


Figura 4 – Curvas da Capacitância Intrínseca $\times V_{DS}$

Onde:

C_{GS} é a capacitância intrínseca entre a porta e a fonte;

C_{DS} é a capacitância intrínseca entre o dreno e a fonte;

C_{SG} é a capacitância intrínseca entre a fonte e a porta

4. Conclusões

O estudo das propriedades elétricas e da linguagem Verilog-A foi fundamental para revisão do modelo analítico, sendo possível distinguir a parcela estática e a dinâmica. Com isso, algumas estratégias foram consideradas a fim de otimizar o tempo de execução do código e também a eficiência. Primeiramente foi

considerado criar um módulo para a variável temperatura, isolando do código, porém a manutenção do isolamento dessa variável em bloco foi uma recomendação do manual da linguagem Verilog-A.

Através das sub-rotinas, foi possível agrupar comandos que realizavam tarefas específicas ou repetitivas.

As simulações realizadas apresentaram as mesmas curvas quando estavam em um bloco unificado, porém agora com a facilidade de execução em arquivos distintos, melhorando o entendimento dos códigos em si.

5. Referências

- [1] D. Hisamoto, T. Kaga, Y. Kawamoto and E. Takeda, "A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET", *Technical Digest of IEDM*, p. 833, 1989
- [2] J. P. Colinge, *FinFETs and Other Multi-Gate Transistors*, Springer, 340 p., 2008.
- [3] B. S. Doyle, S. Datta, M. Doczy, *et al.*, "High performance fully-depleted tri-gate CMOS transistors", *IEEE Electron Device Letters*, vol. 24, n. 4, p. 263-265, 2003.
- [4] J. P. Colinge, M. H. Gao, A. Romano, H. Maes, C. Claeys, "Silicon-on-Insulator "Gate-All-Around Device"", In: *Technical Digest of IEDM*, pp. 595-598, 1990.
- [5] D. Hisamoto, L. Wen-Chin, J. Kedzierski, *et al.*, "FinFET-a self-aligned double-gate MOSFET scalable to 20 nm", *IEEE Trans. Electron. Dev.*, v. 47, n. 12, p. 2320 - 2325, 2000.
- [6] T. Saito, T. Saraya, T. Inukai, H. Majima, T. Nagumo, T. Hiramoto, "Suppression of Short Channel Effect in Triangular Parallel Wire Channel MOSFETs", *IEICE Transactions on Electronics*, vol. E-85C, no. 5, pp. 1073-1078, 2002.
- [7] J. P. Colinge, C.W. Lee, A. Afzalian, *et al.*, "SOI Gated Resistor: CMOS without Junctions", In: *Proceedings of International SOI Conference*, pp. 1-2, 2009.
- [8] C.P.A. Moraes, M. de Souza. "Estudo Comparativo de Métodos de Extração de Tensão de Limiar em Transistores SOI nMOSFET", *SICFEI*, São Bernardo do Campo, 2011.

Agradecimentos

À instituição Centro Universitário FEI e ao Conselho Nacional de Desenvolvimento Científico Tecnológico pelo apoio.

¹ Aluno de IC PICIB/CNPq do Centro Universitário FEI. Projeto com vigência de 09/20 a 08/21.