

IMPLEMENTAÇÃO DO MODELO ANALÍTICO PARA NANOFIOS TRANSISTORES EMPILHADOS

Jefferson Almeida Matos¹, Marcelo Antonio Pavanello
Departamento de Engenharia Elétrica, Centro Universitário da FEI
uniejematos@fei.edu.br e pavanello@fei.edu.br

Resumo: Este trabalho objetiva a implementação do modelo de carga de inversão e corrente analítico compacto, válido para nanofios transistores com diferentes geometrias, usando a ferramenta matemática MathCAD. A implementação realizada será comparada com resultados obtidos por autores em um artigo de referência, validando-a.

1. Introdução

Com o desenvolvimento da tecnologia, a área da eletrônica evoluiu ao ponto de poder reduzir as dimensões físicas dos transistores em ordem nanométrica. Esta redução resulta no aumento no número de transistores que compõe os chamados circuitos integrados (chips).

Entretanto, a diminuição dos transistores causa como consequência adversa a dificuldade na utilização das tecnologias mais tradicionais, baseadas em transistores MOS (Metal-Oxide-Semiconductor) fabricadas em substratos de silício monocristalino pelo aparecimento de alguns efeitos indesejáveis, que desviam o transistor do seu funcionamento adequado [1]. Como solução para os impactos da miniaturização, a adição de mais portas aos transistores foi proposta, para um maior controle eletrostático [2].

Uma tecnologia de transistores de múltiplas portas que tem mostrado resultados promissores são os nanofios transistores MOS, consistindo em transistores com comprimento de canal na ordem de nanômetros [5],[6]. Porém, estes dispositivos apresentam um aspecto negativo com relação à necessidade da utilização de estruturas multidados para o aumento na capacidade de corrente elétrica, deixando assim, o projeto menos eficiente no aproveitamento da área de silício. Para a solução desta adversidade, tem-se utilizado a estratégia do empilhamento desses transistores nanofio [7].

Aliado a esse contexto, há uma demanda de desenvolvimento de modelos matemáticos analíticos compactos que descrevam as características dos transistores, a partir de parâmetros construtivos para a integração ao projeto de sistemas eletrônicos. Por esse motivo, o projeto que está sendo executado tem como objetivo implementar modelos matemáticos compactos para a tecnologia transistor nanofio empilhado de diferentes geometrias, utilizando a ferramenta matemática MathCAD.

2. Metodologia

A partir do estudo de interpretação do artigo de referência [3] para o desenvolvimento de um modelo universal de carga de inversão foi visto a equação (1) que descreve comportamento elétrico do transistor em função de parâmetros elétricos e geométricos do componente. Nesta equação, V_G é a tensão de porta, V_{FB} é a tensão de faixa plana, A_{ch} é a área do canal, C_g é a capacitância da porta, C_{ch} é a capacitância do canal, Q_d é a carga de depleção, V é o potencial de quasi-Fermi para o elétron, Q_e é a carga de inversão, W_{si} é largura de silício, N_{si} é concentração de dopantes no canal, n_i é a concentração intrínseca de portadores, vt é o potencial térmico e q é a carga elementar do elétron, além disso há a presença de uma constante denominada α , que segundo o autor, tem magnitude 2, para o ajuste da equação.

$$V_G - V_{FB} + \frac{Q_d}{C_g} - V = -\frac{Q_e}{C_g} + vt \cdot \ln\left(\frac{-Q_e}{qN_{si}A_{ch}}\right) + vt \cdot \ln\left(\frac{\frac{z_1(Q_e + Q_d)}{(vtC_{ch})^2} - \frac{(Q_e + Q_d)}{2}}{e^{\frac{Q_e}{2vtC_{ch}}}} - 1\right) \quad (1).$$

De posse da equação que descreve o comportamento da carga de inversão do transistor foi possível estudar o segundo artigo de referência [4], que utiliza a equação (1) para o desenvolvimento da equação (2), um modelo universal para a corrente baseado nos resultados obtidos da equação (1), nos parâmetros elétricos e geometria do transistor. Pode-se ver a equação 2 abaixo.

$$I_{DS} = -\frac{\mu}{L} \left(\frac{Q_e^2}{2C_g} - 2 \cdot vt \cdot Q_e + f(Q_e) \right) \quad (2).$$

Pode-se ver a dependência da equação (2) para com uma função que depende dos resultados obtidos no modelo de carga de inversão. Esta função pode ser vista abaixo na equação (3).

$$f(Q_e) = -\frac{vt}{\sqrt{3}} \gamma (vt \cdot C_{ch} - 2 \cdot Q_d) \cdot \operatorname{arccot} \left(\frac{\sqrt{3} \cdot \gamma \cdot vt \cdot C_{ch}}{2 \cdot \gamma \cdot Q_d - \gamma \cdot vt \cdot C_{ch} + 2 \cdot Q_e} \right) + \frac{vt}{2} \gamma Q_d \cdot \ln(\gamma(Q_d^2 - vt \cdot C_{ch} \cdot Q_d + C_{ch}^2 \cdot vt^2) + \gamma(2 \cdot Q_d - vt \cdot C_{ch})Q_e + Q_e^2) \quad (3).$$

Após o levantamento das equações para o modelo, foi implementado um roteiro na ferramenta MathCAD para um transistor baseado na tecnologia de de largura de canal de 10nm, espessura do óxido de 2nm, altura de canal de 20nm e comprimento de canal de 1µm, de acordo com o artigo de referência [3]. Para a implementação das equações foi utilizado o método iterativo dependente de um valor inicial para a convergência presentes na ferramenta MathCAD para a obtenção da carga de inversão para o transistor, utilizada para a implementação do modelo de corrente implementado com o auxílio de ferramentas de iterações presentes no MathCAD. Foi utilizado a ferramenta Origin para a obtenção das curvas nos artigos de referência [3],[4] para a comparação com os resultados obtidos. A figura 1 apresenta o fluxograma do roteiro desenvolvido para a implementação do modelo na ferramenta.

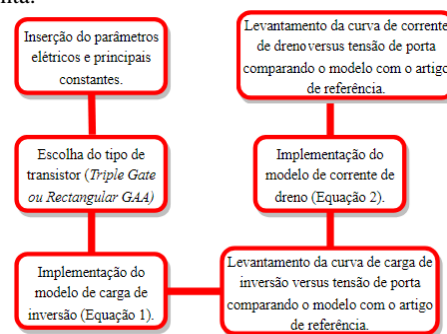


Figura 1 – Fluxograma do programa implementado na ferramenta MathCAD para obtenção do modelo analítico para os transistores *Triple-Gate* e *GAA*.

3. Resultados

Com o objetivo de validar o modelo matemático desenvolvido, foi comparado as curvas obtidas no modelo com as curvas disponibilizadas no artigo de referência [3],[4]. Este estudo teve como foco o estudo do modelo da carga de inversão e da corrente de dreno de dois transistores de múltiplas portas, o transistor de *Triple-Gate* e o transistor *Rectangular Gate All-Around*.

O primeiro transistor estudado foi o transistor *Triple-Gate*. A Figura 2 apresenta a comparação do resultado obtido da

implementação do modelo em comparação com a curva observada no artigo de referência [3] para a carga de inversão, aplicada com tensão $V_{DS} = 2mV$.

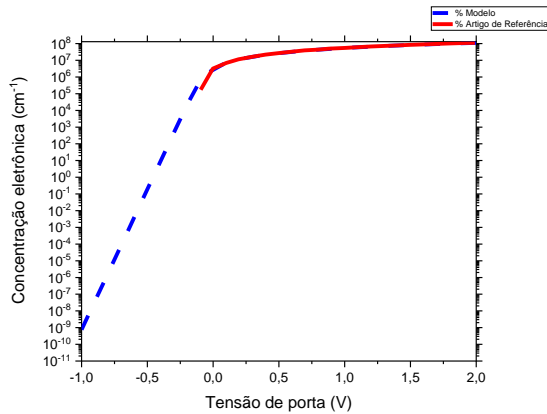


Figura 2 – Comparação da carga de inversão do transistor *Triple-Gate*.

A Figura 3 apresenta a comparação com o artigo de referência [4] da corrente de dreno para este mesmo transistor.

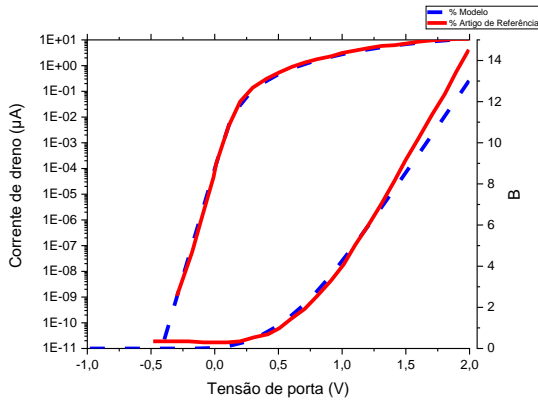


Figura 3 – Comparação da corrente de dreno do transistor *Triple-Gate*.

O segundo transistor estudado foi o transistor *Rectangular Gate-All-Around*. A figura 4 apresenta a comparação do resultado obtido pela implementação do modelo em comparação com a curva disponibilizada pelo artigo de referência [3], para a mesma tensão $V_{DS} = 2mV$.

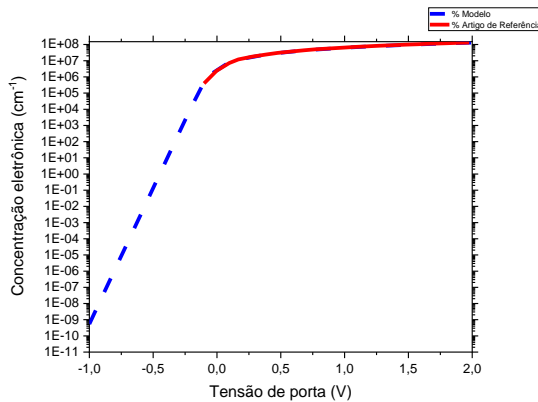


Figura 4 – Comparação da carga de inversão do transistor *Rectangular Gate-All-Around*.

A Figura 5 apresenta a comparação com o artigo de referência [4] da corrente de dreno para este mesmo transistor.

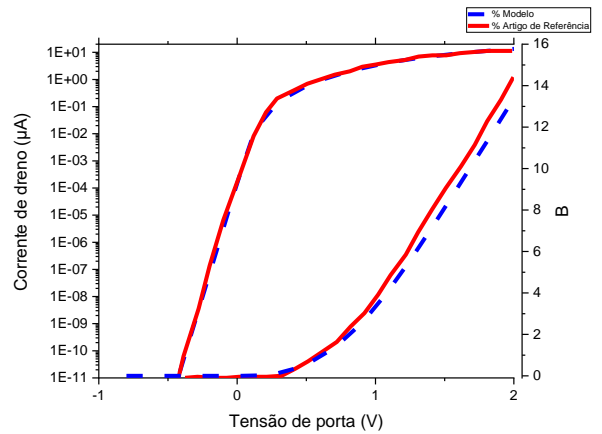


Figura 5 – Comparação da corrente de dreno do transistor *Rectangular Gate-All-Around*.

As curvas apresentadas representaram fielmente os resultados obtidos pelo autor nos artigos de referência [3],[4]. As eventuais divergências que podem aparecer podem ser contornadas pelos ajustes das constantes α e γ . Por fim, foi possível implementar um modelo analítico para transistores com a possibilidade da adequação dos parâmetros.

4. Conclusões

O trabalho realizado conseguiu atingir o seu objetivo principal, pois foi possível desenvolver um modelo analítico compacto para transistores de múltiplas portas utilizando a ferramenta matemática do MathCAD, validado utilizando as curvas disponibilizadas pelo artigo de referência para dois tipos de transistores.

5. Referências

- [1] J. P. Colinge, *FinFETs and Other Multi-Gate Transistors*, Springer, 340 p., 2008.
- [2] B. S. Doyle, S. Datta, M. Doczy, et al., "High performance fully-depleted tri-gate CMOS transistors", *IEEE Electron Device Letters*, vol. 24, n. 4, p. 263-265, 2003.
- [3] J. P. Duarte, S. J. Choi, D. I. Moon, et al., "A Universal Core Model for Multiple-Gate Field-Effect Transistors. Part I: Charge Model", *IEEE Electron Device Letters*, vol. 60, n. 2, p.840-847,2013.
- [4] J. P. Duarte, S. J. Choi, D. I. Moon, et al., "A Universal Core Model for Multiple-Gate Field-Effect Transistors. Part II: Drain Current Model", *IEEE Electron Device Letters*, vol. 60, n. 2, p.848-855,2013.
- [5] D. Hisamoto, T. Kaga, Y. Kawamoto and E. Takeda, "A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET", *Technical Digest of IEDM*, p. 833, 1989.
- [6] B. S. Doyle, S. Datta, M. Doczy, et al., "High performance fully-depleted tri-gate CMOS transistors", *IEEE Electron Device Letters*, vol. 24, n. 4, p. 263-265, 2003.
- [7] C. Dupre et al., "15nm-diameter 3D stacked nanowires with independent gates operation: Φ FET". In 2008 IEEE International Electron Devices Meeting Tech. Digest, 2008.

Agradecimentos

À instituição FEI pela realização das medidas ou empréstimo de equipamentos.

¹ Aluno de IC do Centro Universitário FEI (ou FAPESP, CNPq ou outra). Projeto com vigência de 08/2021 a 06/2022.