

# Efeito da Variabilidade da Largura do Fin nas Características Elétricas de Transistores SOI Sem Junções de Porta Tripla

Victor Nogueira Cirillo<sup>1</sup>, Rodrigo Trevisoli Doria<sup>2</sup>  
<sup>1,2</sup> Engenharia Elétrica, Centro Universitário da FEI  
 unievcirillo@fei.edu.br, rtdoria@fei.edu.br

**Resumo:** Neste trabalho, os efeitos da variabilidade da largura do fin ( $W_{fin}$ ) sobre as características elétricas dos transistores SOI JNT de porta tripla foram estudados através de simulações numéricas 3D. As análises contemplam parâmetros elétricos tais como a tensão limiar, fator de corpo, inclinação do sublimiar e o DIBL. Foi demonstrado que a variabilidade do  $W_{fin}$  está associada principalmente à variação da tensão de limiar para dispositivos longos, enquanto que, nos mais curtos, o fator de corpo e a DIBL são mais representativos.

## 1. Introdução

Atualmente, os transistores mais utilizados pela indústria na fabricação de chips são da tecnologia metal-óxido-silício (MOS). Porém, a miniaturização desses dispositivos gera a perda de controle sobre as cargas de depleção em seu canal. Esses efeitos adversos são denominados efeitos de canal curto (SCEs). Eles são responsáveis pela degradação de diversos parâmetros do dispositivo, causando redução na tensão de limiar ( $V_{Th}$ ) e atenuação na inclinação de sublimiar [1]. Dessa forma, a indústria da microeletrônica tem investido em novas tecnologias para reduzi-los.

Uma das tecnologias desenvolvidas foi a silício-sobre-isolante (SOI). Nela, uma camada de isolante dielétrico, denominada óxido enterrado (BOX), é introduzida entre a região ativa da lâmina (dreno, fonte e canal) e o substrato. Com isso, reduzindo o efeito das capacitâncias parasitárias [2]. Outra tecnologia, utilizada junto à SOI, foram os transistores com múltiplas portas. Essa arquitetura garante, devido a tensão ser aplicada em diferentes planos do canal, maior controle eletroestático sobre as cargas de depleção da região de canal.

A fim de reduzir o comprimento de canal para valores inferiores a 20 nm, foi desenvolvida a tecnologia de transistores sem junções (JNTs). Diferente dos MOS modo inversão, os JNTs possuem as regiões de dreno, fonte e canal com o mesmo tipo e concentração de dopantes [3]. Apesar de suas vantagens, esses transistores estão sujeitos a grande variabilidade de suas características elétricas, dependendo de sua concentração de dopantes e dimensões [4]. Ao longo desse trabalho, serão realizadas análises em torno da corrente de dreno ( $I_D$ ), tensão de limiar ( $V_{Th}$ ), efeito de redução da barreira induzida pelo dreno (DIBL), inclinação de sublimiar (S), fator de corpo ( $n$ ) e  $\Delta I_D$ .

## 2. Metodologia

Para a realização dos estudos e análises foram utilizados dados obtidos através de simulações numéricas tridimensionais de dispositivos SOI MOSFET sem junções de porta tripla, realizadas no software Sentaurus Device.

Para as simulações, foram definidos dispositivos tipo-p. Possuindo espessura da camada de silício de 10 nm, comprimento de fonte e dreno de 30 nm, espessura do óxido de porta de 1,5 nm, espessura do óxido enterrado de 150 nm e dopagem de arsênio na concentração de  $1 \times 10^{19} \text{ cm}^{-3}$ . Foram simulados dispositivos com comprimento de canal (L) de 20 e 100 nm e com larguras de canal ( $W_{fin}$ ) de 9, 10 e 11 nm, para diferentes valores de tensão entre dreno e fonte ( $V_{DS}$ ).

## 3. Resultados

As simulações foram realizadas através da solução das equações de Poisson e da continuidade, extraindo as curvas características da corrente de dreno em função da tensão de porta ( $I_D \times V_G$ ) para cada dispositivo. Para isso, foi considerada temperatura de 300 K, tensão de substrato ( $V_{BS}$ ) de 0 V e tensões entre dreno e fonte ( $V_{DS}$ ) de 0,05 e 1 V. Essas curvas foram validadas através de dados experimentais e os resultados do modelo físico apresentado em [5]. A partir das curvas obtidas, foram realizadas as extrações das características e parâmetros elétricos para os dispositivos. Os dados obtidos estão dispostos na Tabela I.

Tabela I – Resultados das análises

L [nm]	$W_{fin}$ [nm]	DIBL [mV/V]	$V_{DS}$ [V]	$V_{Th}$ [V]	S exp [mV]	n
20	9	84,21	0,05	0,65	72,36	1,22
			1	0,57	72,28	1,21
	10	94,74	0,05	0,61	74,73	1,26
			1	0,52	75,00	1,26
	11	105,26	0,05	0,57	77,79	1,31
			1	0,47	78,93	1,33
100	9	21,05	0,05	0,71	60,84	1,02
			1	0,69	60,70	1,02
	10	21,05	0,05	0,67	61,03	1,03
			1	0,65	60,86	1,02
	11	21,05	0,05	0,64	61,27	1,03
			1	0,62	61,07	1,03

Para a extração das tensões de limiar dos dispositivos, foi utilizado o método da segunda derivada. Esse método consiste na extração de  $V_{Th}$ , obtendo-o no ponto máximo da curva da derivada da transcondutância, ou seja, derivada de segunda ordem da curva  $I_D \times V_G$  ( $d^2 I_D / dV_G^2$ ). Nesse ponto, o valor de  $V_G$  é o valor de  $V_{Th}$ . Esse procedimento foi realizado para as curvas onde a tensão de limiar  $V_{DS} = 0,05 \text{ V}$ , pois, para valores altos, o efeito do campo elétrico horizontal prejudica essa medida. Dessa forma, tendo os valores de corrente onde  $V_G = V_{Th}$ , obteve-se  $V_{Th}$  para  $V_{DS} = 1 \text{ V}$ .

Analisando os resultados de tensão de limiar apresentados na Tabela I, é visto que a variação da largura do canal afeta a tensão de limiar do dispositivo. Observou-se, para os dois comprimentos de canal, que o aumento de 1 nm na largura, causou a redução na tensão

de limiar de aproximadamente 0,04 V, possuindo comportamento inversamente proporcional ao  $W_{fin}$ .

Além disso, é visto que o aumento de  $V_{DS}$  é responsável por uma queda nos valores de  $V_{Th}$ , esse fenômeno está associado ao DIBL, um dos efeitos de canal curto. O DIBL é comumente apresentado em mV/V e indica a variação na tensão de limiar gerada pelo acréscimo de um volt na tensão de dreno. Podendo ser obtido através de (1)

$$DIBL = \frac{V_{Th}(V_{DS} = 0.05 \text{ V}) - V_{Th}(V_{DS} = 1.0 \text{ V})}{(V_{DS_{alto}} - V_{DS_{baixo}})} \quad (1)$$

onde  $V_{DS_{alto}}$  e  $V_{DS_{baixo}}$  correspondem aos valores de 1,0 V e 0,05 V de tensão de dreno, respectivamente.

Observando os valores, expostos na Tabela I, de DIBL obtidos, fica evidente o impacto desse efeito nos dispositivos de canal curto. Neles, os valores de DIBL são consideravelmente mais elevados e apresentam dependência com a largura de canal, devido à piora do acoplamento capacitivo. Já os dispositivos com 100 nm de comprimento de canal, apresentam valores baixos e constantes com a largura.

A etapa seguinte de análises, visou avaliar a dependência da inclinação de sublimiar ( $S$ ) e do fator de corpo ( $n$ ) dos dispositivos com a largura de canal.

O fator de corpo dos transistores pode ser obtido pela razão entre a inclinação de sublimiar experimental ( $S_{exp}$ ) e seu limite teórico ( $S_{teo}$ ). Sendo o segundo calculado utilizando os valores da constante de Boltzmann ( $k$ ), temperatura em Kelvin ( $T$ ) e a carga do elétron ( $q$ ) como mostrado em (2)

$$S_{teo} = \frac{kT}{q} \ln(10) \quad (2)$$

A obtenção dos valores de  $S_{exp}$ , foi feita a partir da curva do inverso da derivada do log da curva da corrente ( $dV_G \times d \log(I_D)$ ), extraíndo seu valor no início da curva onde o valor se mantém aproximadamente constante.

Na Tabela I, podemos verificar os resultados obtidos para o fator de corpo ( $n$ ) e inclinação de sublimiar ( $S$ ) dos dispositivos. Analisando-os, é visto que, como esperado, o incremento da largura de canal piora o acoplamento capacitivo do dispositivo e, assim, aumenta os valores de  $n$  e  $S$ . Porém, observou-se que esse aumento é mais evidente nos dispositivos com canal curto e, além disso, seus valores médios são mais elevados.

A fim de verificar o efeito da inclinação de sublimiar na corrente dos dispositivos, foram levantadas as curvas de  $\Delta I_D \times V_G$ . Para isso, foi considerado como base o dispositivo de largura intermediária, de 10 nm. Com isso, obtiveram-se as curvas apresentadas na Figura 1.

Analisando as curvas  $\Delta I_D \times V_G$  é possível extrair informações importantes sobre o funcionamento dos dispositivos. Em seu início, onde  $V_G < V_{Th}$ , é possível observar um patamar da diferença entre as correntes, inicialmente alto. Essa região corresponde ao transistor desligado, conduzindo, predominantemente, corrente de difusão. A diferença entre a corrente dos dispositivos é explicada pelas distintas inclinações de sublimiar de cada dispositivo.

A partir do ponto em que  $V_G > V_{Th}$ , o dispositivo é ligado e passa a conduzir, predominantemente, corrente

de deriva. A diferença entre correntes cai rapidamente alcançando baixos valores, pois o regime de funcionamento não está mais associado à inclinação de sublimiar. O efeito DIBL também pode ser observado nas curvas da Figura 1. As curvas dos dispositivos com  $L = 20$  nm apresentam disparidade com o formato esperado, devido ao aumento de  $V_D$  ter maior influência no  $V_{Th}$ . Isso também pode ser observado pelo deslocamento entre as curvas para cada valor de  $V_D$  do mesmo dispositivo.

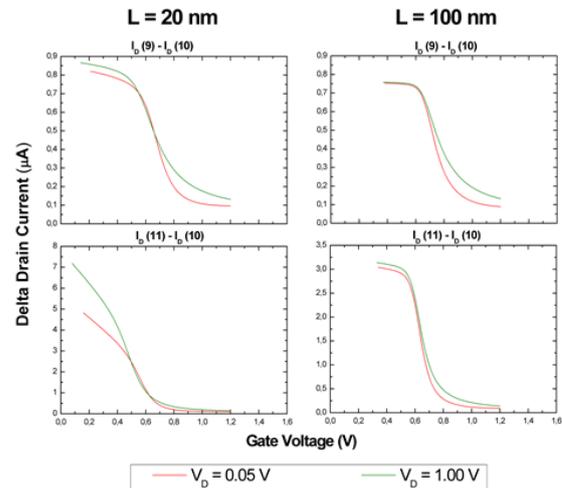


Figura 1 – Gráficos  $\Delta I_D \times V_G$ .

#### 4. Conclusões

O trabalho, demonstrou que, nos dispositivos de canal longo, as variações da tensão limiar estão principalmente relacionadas à variabilidade da largura de canal. Enquanto que, para os mais curtos, a influência do fator do corpo e do DIBL apresentam maior representatividade. Os dispositivos de canal curto apresentaram valores de DIBL aproximadamente quatro vezes maiores do que os longos. Isto justifica a maior influência da tensão de dreno aplicada sobre suas características elétricas.

#### 5. Referências

- [1] Y. Taur, *et al.*, **CMOS Scaling into the Nanometer Regime**, Proceedings of the IEEE, v. 85, n. 4, 1997.
- [2] Colinge, J.-P., **Silicon-on-Insulator Technology: Materials to VLSI**, Kluwer Academic Publishers, 2003.
- [3] Colinge, J.P. *et al.*, **Nanowire transistors without junctions**, Nature Nanotech., v. 5, pp. 225-229, 2010.
- [4] Oproglidis, T. A. *et al.*, **Drain current local variability analysis in nanoscale junctionless FinFETs utilizing a compact model**, Solid-State Electronics, v. 170, pp. 107835, 2020.
- [5] R. D. Trevisoli, *et al.*, **Surface-Potential-Based Drain Current Analytical Model for Triple-Gate Junctionless Nanowire Transistors**, IEEE Trans. on Electron Devices, v. 59, pp. 3510-3518, 2012.

#### Agradecimentos

Este trabalho foi apoiado pelo Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq), bolsa nº 3.03938/2020-0.

<sup>1</sup> Aluno de IC do Centro Universitário FEI (com bolsa CNPq). Projeto com vigência de 09/2021 a 08/2022.