

# CARACTERIZAÇÃO ELÉTRICA DE NANOFIOS TRANSISTORES MOS EM ALTAS TEMPERATURAS

Giovanni Almeida Matos<sup>1</sup>, Marcelo Antonio Pavenello<sup>2</sup>

<sup>1,2</sup>Departamento de Engenharia Elétrica, Centro Universitário FEI

<sup>1</sup>uniegmato@fei.edu.br, <sup>2</sup>pavenello@fei.edu.br

**Resumo:** Este trabalho tem como objetivo estudar as principais propriedades elétricas de nanofios transistores MOS, tais como tensão de limiar, inclinação de sublimiar, mobilidade de baixo campo e seus coeficientes de degradação pelo campo elétrico, quando submetidos a temperaturas na faixa entre 300 K e 580K.

## 1. Introdução

A invenção de transistores MOSFET (*Metal-Oxide-Semiconductor Field Effect Transistors*) foi um grande marco na área da microeletrônica, tendo evoluído recentemente para a chamada nanoeletrônica. A miniaturização dos transistores MOS, com intuito de aumentar a quantidade de transistores na mesma área de silício, tem sido um dos principais pilares do desenvolvimento científico propiciado pela disponibilidade computacional, oferecendo maior funcionalidade e redução de custo por função executada. Porém, com a redução das dimensões destes dispositivos, houve uma degradação nas características elétricas, ao ponto de tornar-se a continuidade da miniaturização inviável utilizando tecnologias tradicionais, denominadas de *bulk* MOS.

Para viabilizar a continuidade da miniaturização dos transistores MOS, foi proposta a adoção de substratos do tipo SOI (Silício Sobre Isolante) e foram desenvolvidas outras arquiteturas para os transistores. Dentre as alternativas tecnológicas, a adição de mais portas, para melhorar o controle eletrostático [1][2], como nos transistores FinFET, é a considerada mais promissora pelas indústrias de semicondutores. Recentemente, foi proposto o nanofio transistor (NW – *NanoWire*), que consiste em um transistor FinFET de porta tripla, com altura ( $H_{FIN}$ ) e largura ( $W_{FIN}$ ) da aleta de Si na ordem de nanômetros [3][4]. A Figura 1 apresenta a visão em perspectiva de um NW, indicando suas dimensões principais e seus eletrodos.

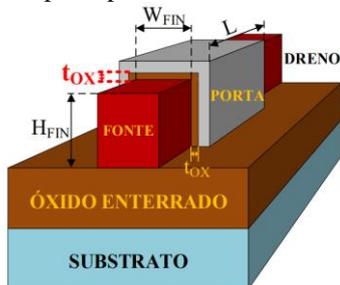


Figura 1 – Vista em perspectiva de um NW, indicando suas dimensões principais e seus eletrodos.

Aliado a este contexto, usualmente os dispositivos eletrônicos trabalham em temperaturas superiores à ambiente, como em *smartphones*, computadores e televisores. Dependendo da aplicação, a temperatura de operação pode alcançar 600 K. Quando submetidos a

altas temperaturas, ocorrem degradações de algumas propriedades elétricas dos transistores, tais como diminuição da tensão de limiar, aumento da inclinação de sublimiar, aumento da corrente de fuga das junções PN, dentre outras [5]. Este trabalho tem como objetivo estudar as principais propriedades elétricas de nanofios transistores MOS, tais como tensão de limiar, inclinação de sublimiar, mobilidade de baixo campo, quando submetidos a altas temperaturas, na faixa entre 300 K e 580K.

## 2. Metodologia

As medidas experimentais foram realizadas em nanofios transistores MOS fabricados pelo CEA-Leti. Consistem em nanofios transistores com 10 fins em paralelo,  $H_{FIN} = 9\text{nm}$ ,  $L = 100\text{nm}$  e  $t_{OX} = 1.3\text{nm}$  e quatro larguras de canal ( $W_{FIN}$ ) diferentes: 10nm, 15nm, 20nm e 40nm.

## 3. Resultados e Discussões

Inicialmente, foram obtidas as curvas de corrente de dreno ( $I_{DS}$ ) em função da tensão de porta ( $V_{GS}$ ) em diferentes temperaturas (300K até 580K) e com o dispositivo polarizado com tensão de dreno  $V_{DS}=25\text{mV}$ . A Figura 2 apresenta as curvas para o transistor com  $W_{FIN}=10\text{nm}$ . Nela é possível evidenciar que o aumento de temperatura degradou  $I_{DS}$ , diminuindo para tensões de porta elevadas, devido a degradação da mobilidade. Na região de sublimiar é possível notar comportamento exponencial de  $I_{DS}$  em todas as temperaturas. As curvas experimentais apresentam o ponto *Zero Temperature Coefficient* (ZTC), onde a corrente independe da temperatura.

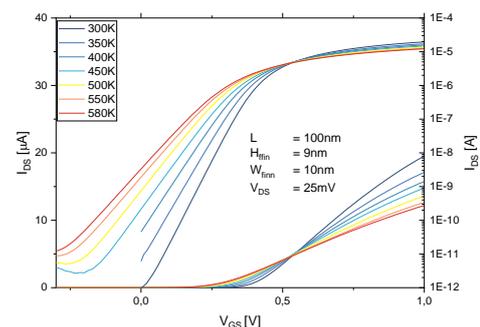


Figura 2 – Curva  $I_{DS}$  em função de  $V_{GS}$ , medida com  $V_{DS}=25\text{ mV}$  e em diferentes temperaturas, para o nanofio com  $W_{FIN}=10\text{nm}$ , em escalas linear e logarítmica.

A partir dessa curva é possível extrair, através do pico da segunda derivada, a tensão de limiar ( $V_{TH}$ ) em função da temperatura, como ilustra a Figura 3. Nessa figura estão apresentados os resultados obtidos para todos os transistores estudados. Fazendo a regressão

linear dos pontos medidos obteve-se um bom coeficiente de correlação com uma reta. Analisando a inclinação desta reta com a temperatura, isto é, a taxa  $dV_{TH}/dT$  para os transistores com diferentes  $W_{FIN}$ , obteve-se  $dV_{TH}/dT \cong -0,43 \text{ mV/K}$ .

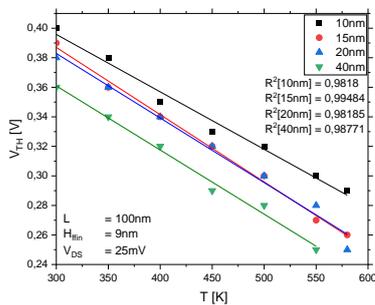


Figura 3 – Tensão de limiar em função da temperatura, calculada para todos os transistores medidos.

A Figura 4 mostra a curva de inclinação de sublimar (S) experimental para os quatro dispositivos estudados em função da temperatura, obtida utilizando a parte exponencial das curvas apresentadas na Figura 2.

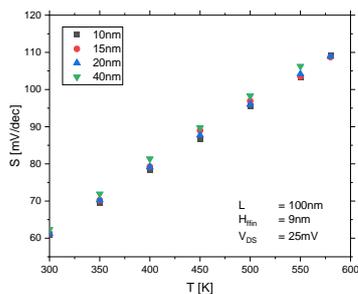


Figura 4 – Inclinação de Sublimar experimental com aumento da temperatura.

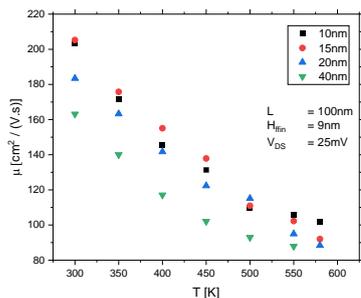


Figura 5 – Curvas da mobilidade de baixo campo elétrico em função da temperatura, medidas para todos os transistores estudados.

A Figura 4 mostra que a inclinação de sublimar é fracamente dependente de  $W_{FIN}$  na faixa de temperaturas estudada. Adicionalmente, o valor de S é bem próximo do limite teórico, definido pela equação  $kT/q \cdot \ln(10)$ , onde k é a constante de Boltzmann, T é a temperatura absoluta e q é a carga do elétron. Desse modo, os nanofios transistores tem comportamento elétrico próximo do ideal, na região de sublimar, em todos os  $W_{FIN}$  estudados.

Utilizando o método *Y-Function* foi possível obter a mobilidade de baixo campo elétrico para os nanofios transistores estudados em função da temperatura, como apresentado na Figura 5. Nesta figura é notável o comportamento inversamente proporcional da mobilidade com o aumento da temperatura. A largura de canal praticamente não tem efeito na curva, confirmando a hipótese que a menor mobilidade da lateral tem pouco efeito na mobilidade total, levantada com resultados de simulação. É possível observar também que a redução da mobilidade é aproximadamente linear com a temperatura na faixa  $T \leq 500K$  para o nanofio com  $W_{FIN}=40nm$  e para toda a faixa de temperaturas estudada para os demais. O aumento da largura do fin, associado ao aumento da temperatura, diminui o acoplamento entre as portas laterais do transistor, piorando a mobilidade em temperaturas mais elevadas.

#### 4. Conclusões

Nesse trabalho foi realizada uma verificação experimental e por simulação numérica, do desempenho de nanofios transistores MOS operando na faixa de temperaturas entre 300 K e 580 K. Os resultados experimentais demonstraram que a tensão de limiar diminui linearmente com a temperatura, a uma taxa de aproximadamente 0,43 mV/K. Todos os transistores estudados apresentaram inclinação de sublimar próxima do limite teórico na faixa de temperaturas estudada. A mobilidade de baixo campo elétrico sofre uma degradação aproximadamente linear com a temperatura para todos os nanofios estudados até  $T=500K$ . Em temperaturas superiores, a redução do acoplamento eletrostático, decorrente do aumento da largura do fin, faz com apenas os transistores com largura de fin inferiores a 20nm mantenham a característica linear de redução da mobilidade em temperaturas maiores do que 500K.

#### 5. Referências

- [1] COLINGE, J. P. Multiple-gate SOI MOSFETs. Solid-State Electronics, Silicon On Insulator Technology and Devices. v. 48, n. 6, p. 897–905, jun. 2004b.
- [2] DOYLE, B. S. et al. High performance fully-depleted trigate CMOS transistors. IEEE Electron Device Letters, v. 24, n. 4, p. 263–265, abr. 2003.
- [3] BANGSARUNTIP, S. et al. High performance and highly uniform gate-all-around silicon nanowire MOSFETs with wire size dependent scaling. In: INTERNATIONAL ELECTRON DEVICES MEETING, 2009. IEDM '09, Baltimore. Anais eletrônicos... IEEE, 2009.
- [4] COQUAND, R. et al. Scaling of high-k/metal-gate trigate SOI nanowire transistors down to 10nm width. In: 13TH INTERNATIONAL CONFERENCE ON ULTIMATE INTEGRATION ON SILICON (ULIS), 2012, Grenoble. Anais eletrônicos... IEEE, mar. 2012. p. 37-40.
- [5] T. A. Ribeiro, S. Barraud and M. A. Pavanello, "Analysis of the Electrical Parameters of SOI Junctionless Nanowire Transistors at High Temperatures," in IEEE Journal of the Electron Devices Society, vol. 9, pp. 492-499, 2021, doi: 10.1109/JEDS.2021.3051500.

<sup>1</sup> Aluno de IC do Centro Universitário FEI da FAPESP (2021/02171-3). Projeto com vigência de 06/2021 a 06/2022.