

Caracterização Elétrica e Extração de Parâmetros de Transistores pMOS Sem Junções

Giovana Bettoni Rossi¹, Rodrigo Trevisoli Doria²

¹ Engenharia de Automação e Controle, Centro Universitário FEI

² Engenharia Elétrica, Centro Universitário FEI

¹ gibrossi@uol.com.br, ² rdoria@fei.edu.br

Resumo: O principal objetivo desta pesquisa é explorar os princípios de funcionamento de transistores MOS sem junções canal tipo P, fabricados em tecnologia silício sobre isolante (SOI – *Silicon-on-Insulator*), e analisar, conceitualmente e de forma prática, os principais parâmetros físicos que podem afetar sua variabilidade.

1. Introdução

Ao longo das últimas décadas, transistores MOS têm sido os componentes eletrônicos mais utilizados na indústria de circuitos integrados. Em um único computador de tecnologia atual, pode haver bilhões de transistores MOS, de modo que o desenvolvimento da indústria de microeletrônica está condicionado à evolução destes transistores para garantir redução de suas dimensões. Deste modo, é possível aumentar a quantidade de transistores por chip, incrementando a sua capacidade de processamento.

Entretanto, o escalamento das dimensões dos transistores a valores extremos, resulta na ocorrência de efeitos de canal curto que degradam suas características elétricas. Sendo assim, diversas tecnologias têm sido desenvolvidas para permitir o escalamento de transistores MOS em tecnologias avançadas (sub-20 nm), como os transistores de múltiplas portas, também chamados de 3D. Tais dispositivos apresentam menor susceptibilidade a efeitos de canal curto, devido ao maior acoplamento capacitivo causado pela presença de múltiplas portas, aumentando o controle da porta sobre as cargas de canal.

Com o intuito de melhorar ainda mais o controle das cargas sobre a região de canal, transistores de múltiplas portas, ou 3D, podem ser fabricados em lâminas de tecnologia Silício-sobre-Isolante (SOI), onde a região ativa é separada do substrato por uma camada de isolante, chamada óxido enterrado [1]. A presença desta camada resulta em sensível melhora do acoplamento capacitivo na região de canal e permite a confecção de dispositivos que funcionam em modo de depleção parcial/acumulação como os transistores sem junções, em que a dopagem da região de canal é alta e constante desde a fonte até o dreno. Estes dispositivos foram propostos para tecnologias de última geração, em que a formação das regiões de fonte e dreno constitui uma etapa crítica do processo de fabricação, visto que se deve ter um cuidado especial para que os dopantes dessa região não se difundam para o interior do canal [2].

2. Transistor MOS Sem Junções

Com o intuito de reduzir o tamanho dos dispositivos para comprimentos menores que 20 nm, deve-se levar em consideração o complexo processo de fabricação de transistores, no qual as junções de fonte e dreno devem

ser bruscas, para que a concentração de dopantes varie diversas ordens de grandeza em poucos nanômetros. Tendo isto em mente, surgiu-se uma possível solução composta por uma estrutura de múltiplas portas: o transistor MOS sem Junções (*Junctionless Nanowire Transistor* – JNT).

Diferentemente dos transistores MOS convencionais, que operam em modo inversão, os transistores sem junções conduzem em regime de depleção parcial/acumulação [3]. Por funcionar em modo acumulação, os transistores sem junções permitem que os dispositivos possuam um perfil de dopantes constante (mesmo tipo e concentração) desde a fonte até o dreno sem que sejam formadas junções PN (transistores nMOS apresentam perfil de dopantes tipo N e pMOS perfil de dopantes tipo P). Por este motivo, apresentam um processo de fabricação bastante simplificado em relação à transistores modo inversão e são considerados promissores para nós tecnológicos sub-16 nm.

Na Figura 1, localizada abaixo, observa-se o corte longitudinal dos transistores nMOS sem junções (A) e de transistores porta tripla modo inversão (B). Nota-se que o JNT possui concentração constante de dopantes desde a fonte até o dreno e que o tipo de dopantes no canal sofre variações, sendo silício tipo P para o modo inversão e silício tipo N para o JNT.

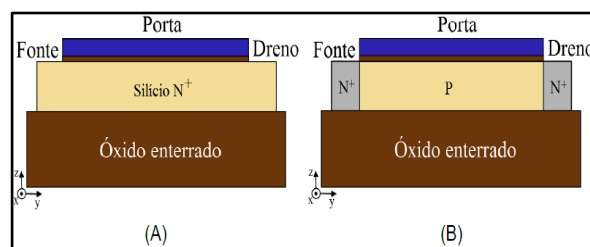


Figura 1 – Corte longitudinal dos dispositivos (A) nMOS JNT e (B) porta tripla modo inversão.

3. Parte Experimental

Alguns trabalhos recentes têm demonstrado que as características elétricas dos JNTs são bastante susceptíveis à variabilidade de suas características físicas [4, 5].

Entretanto, os trabalhos publicados na literatura tratam apenas de transistores nMOS. Deste modo, no projeto atual realizou-se a caracterização elétrica de transistores SOI sem junções pMOS. Nesta análise, adotou-se um V_D (Tensão de Dreno) de -50 mV, com o intuito de que a maior parte da curva I_D (corrente de dreno) em função de V_G (tensão de porta) do transistor estivesse em triodo. Além disso, as medidas foram adquiridas em passos de 10 mV.

Até o momento, foram extraídas as curvas I-V de 4 transistores sem junções do tipo pMOS com mesmas características físicas, de dois chips diferentes localizados em diferentes posições da lâmina. Os diferentes transistores medidos no mesmo chip foram nomeados como n1w3_6 e p1w3_6.

Os transistores utilizados foram fabricados no Cea-Leti, em Grenoble, França. Importante destacar que estes transistores são largos, por possuírem largura de $1\mu\text{m}$ e comprimento de canal de $10\mu\text{m}$. São transistores de porta tripla com uma altura relativamente pequena de 10nm , ou seja, se comportam como transistores planares, visto que o efeito da porta superior sobre a região de depleção deve ser bem maior que o das portas laterais.

Utilizando os equipamentos disponíveis no laboratório de micro/nanoeletrônica da FEI, realizou-se a caracterização elétrica dos 4 transistores citados anteriormente e, a partir dos dados coletados, tornou-se possível a construção do gráfico, que pode ser observado na Figura 2, com as curvas de I_D (corrente de dreno) em função de V_G (tensão de porta) dos 4 transistores. Ressalta-se que as características de cada um dos transistores analisados foram representadas por uma cor diferente nos gráficos, cujas respectivas cores podem ser observadas nas legendas deles.

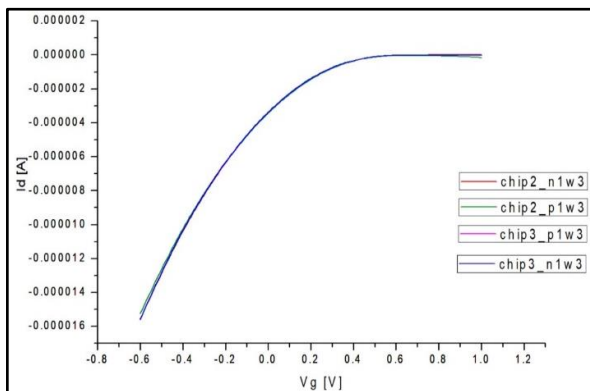


Figura 2 – Curva I_D x V_G

Nota-se que as curvas obtidas para cada transistor estão quase completamente sobrepostas, ou seja, a corrente de dreno de cada transistor variou muito pouco uma em relação às outras.

Como os valores adquiridos da corrente foram muito próximos, para analisar a diferença entre os dispositivos, construiu-se a Tabela I, com o valor da corrente de dreno obtido de cada um dos dispositivos para um $V_G = -0,6\text{V}$.

Tabela I – Valores obtidos de I_D para $V_G = -0,6\text{V}$.

$V_G = -0,6\text{V}$			
Chip 2		Chip 3	
	I_D [A]		I_D [A]
n1w3	-1,55533E-05	n1w3	-1,557030E-05
p1w3	-1,523460E-05	p1w3	-1,563200E-05

A partir dos valores da Tabela I, realizou-se a média aritmética para os valores de I_D , obtendo-se como resultado $-1,55 \times 10^{-5}\text{A}$, ao arredondar para duas casas decimais. Em seguida, por meio da fórmula abaixo, calculou-se o desvio padrão. Sendo:

$$D_p = \sqrt{\frac{\sum_{i=1}^n (x_i - \bar{x})^2}{n}}$$

\bar{x} a média aritmética das correntes dos dispositivos;

x_i uma corrente do conjunto na posição i ;

n a quantidade total de dispositivos;

D_p o desvio padrão.

O resultado obtido do desvio padrão, com arredondamento de três casas decimais, para os valores coletados de I_D , foi de $1,546 \times 10^{-7}\text{A}$, ou seja, da ordem de centenas de nA.

Esta sutil variação pode ser importante em circuitos de ultrabaixa potência, bastante utilizados em redes de sensores aplicados à internet das coisas (IoT), como é o caso de alguns dos sensores descritos em [6], que funcionam com dezenas de nA

4. Conclusões

Por meio dos dados coletados durante a caracterização elétrica experimental dos transistores SOI sem junções, percebe-se uma similaridade entre os dispositivos, apesar de um desvio padrão entre as curvas na ordem de 10^{-7}A . Esse comportamento era esperado, uma vez que os transistores medidos são significativamente largos e longos, de modo que variações em suas dimensões e concentração de dopantes acabam tendo um efeito marginal nas características elétricas dos dispositivos.

Assim, nas próximas etapas do trabalho, devem ser medidos dispositivos menores, em que a variabilidade devido às dimensões e concentração de dopantes deve se tornar mais evidente.

5. Referências

- [1] R. Trevisoli *et al.*, "Surface-Potential-Based Drain Current Analytical Model for Triple-Gate Junctionless Nanowire Transistors," *IEEE Transactions on Electron Devices*, vol. 59, n. 12, pp. 3510-3518, 2012.
- [2] P. Srinivasan *et al.*, "RF Reliability of SOI-based Power Amplifier FETs for mmWave 5G Applications," *2021 IEEE International Reliability Physics Symposium (IRPS)*, pp. 1-6, 2021.
- [3] J. P. Colinge *et al.*, "Nanowire transistors without junctions," *Nature Nanotechnology*, vol. 5, n. 3, pp. 225-229, 2010.
- [4] G. Leung, C. O. Chui, "Variability Impact of Random Dopant Fluctuation on Nanoscale Junctionless FinFETs," *IEEE Electron Device Letters.*, vol. 33, n. 6, pp. 767-769, 2012.
- [5] A. Gnudi *et al.*, "Analysis of Threshold Voltage Variability Due to Random Dopant Fluctuations in Junctionless FETs," *IEEE Electron Device Letters.*, vol. 33, n. 3, pp. 336-338, 2012.
- [6] H. Jiang, "Ultra-Low-Power Sensors and Receivers for IoT Applications", Tese de Doutorado apresentada à University of California San Diego, 2019.

1 Aluna de IC do Centro Universitário FEI (com bolsa FAPESP). Projeto com vigência de 02/2023 a 01/2024.