

SIMULAÇÃO DE ESPELHOS DE CORRENTE CONSTRUÍDOS COM NANOFIOS TRANSISTORES MOS SEM JUNÇÕES

Leonardo Santos de Andrade Quirino¹, Marcelo Antonio Pavanello¹

¹Engenharia Elétrica, Centro Universitário FEI
quirino717@gmail.com; pavanello@fei.edu.br

Resumo: Este artigo apresenta os resultados da simulação de circuitos espelhos de corrente, com diferentes arquiteturas, construídos com Nanofios Transistores MOS sem Junções (JNT). Para realizar as simulações, de forma inédita, foi utilizado o modelo analítico desenvolvido na FEI e codificado em linguagem Verilog-A. Foram simulados circuitos espelhos de corrente com arquiteturas fonte comum, Cascode e Wilson, para estudar suas propriedades elétricas, tanto em termos estáticos como dinâmicos. As simulações foram feitas com o *software* ELDO e foram validadas por simulações numéricas tridimensionais com o *software* Sentaurus Device.

1. Introdução

Em 2010, em resposta a miniaturização dos transistores MOSFET, foi desenvolvido o Nanofio Transistor MOS sem Junções (*Junctionless Nanowire Transistor*, ou JNT). Esse dispositivo possui uma arquitetura atípica, onde não há junções entre seu canal com dreno/fonte. O JNT conta com uma fina camada de silício dopada sob a estrutura de porta que define seu comprimento de canal, eliminando assim suas junções de PN. A Figura 1 apresenta a representação em perspectiva e a seção transversal de um JNT nMOS.

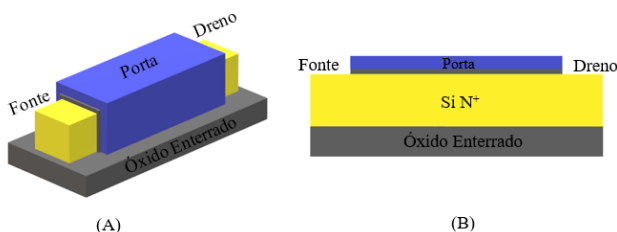


Figura 1 – (A) Representação em perspectiva e (B) seção transversal de um nMOS sem junções.

A fim de testar a viabilidade desse dispositivo em projetos de sistemas eletrônicos, pesquisadores da FEI desenvolveram um modelo analítico para a corrente de dreno em função das tensões aplicadas aos seus terminais [5]. O modelo foi codificado em linguagem Verilog-A, permitindo sua utilização em simuladores de circuito do tipo SPICE.

Apesar do grande potencial que os JNTs apresentam em nível de transistor, ainda se sabe pouco sobre a sua eficiência em sistemas eletrônicos, o que abre espaço para realizar novas simulações com o modelo.

Espelhos de correntes são blocos analógicos que trabalham como polarizadores de circuitos e como fontes de correntes ao reproduzirem a corrente de entrada (I_{REF}) para a corrente de saída (I_{out}) com alta precisão.

A arquitetura mais simples de um espelho de corrente é a de fonte comum, que consiste em dois transistores conectados pelas suas portas. Para espelhar a corrente,

um dos transistores deve operar em modo de saturação, com seu dreno curto-circuitado à porta. A Figura 2 apresenta a representação esquemática de um espelho de corrente com arquitetura fonte comum.

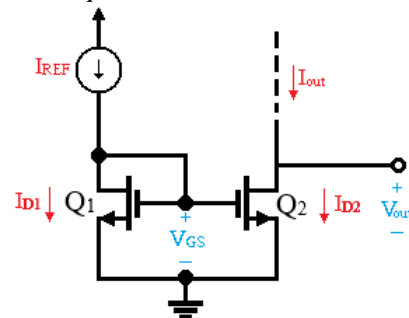


Figura 2 – Arquitetura de fonte comum

Para melhorar a precisão do desempenho (I_{out}/I_{REF}) dos espelhos de corrente, foram desenvolvidas outras duas arquiteturas: a Cascode e a Wilson, e ambas possuem uma aparência muito similar e possuem dois pares de transistores. As Figuras 3 e 4 apresentam as representações esquemáticas de espelhos de corrente nas arquiteturas Cascode e Wilson, respectivamente.

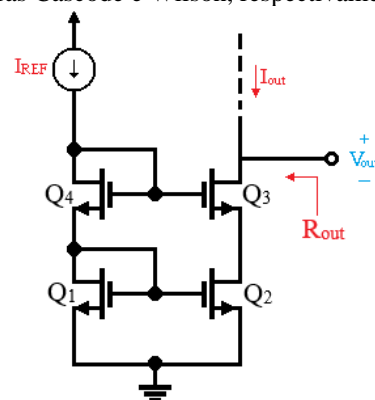


Figura 3 – Arquitetura Cascode

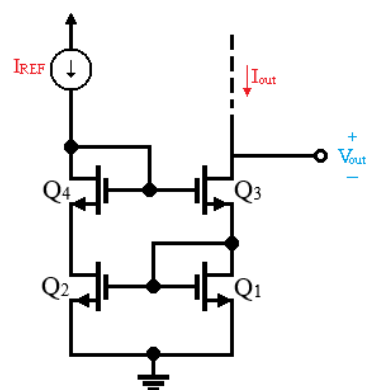


Figura 4 – Arquitetura Wilson

2. Metodologia

Antes de realizar as simulações de circuitos, o modelo utilizado teve que passar por uma etapa de parametrização, para que os resultados a serem obtidos serem próximos a realidade.

Após a parametrização do modelo, as três configurações foram estruturadas para que as simulações começassem. Para estruturar a arquitetura de fonte comum o código em Verilog-A foi construído com os dois JNTs do modelo parametrizado e as devidas ligações foram implementadas no código. O simulador de circuitos utilizado foi o ELDO. Para as arquiteturas Cascode e Wilson foi usado o mesmo código da fonte comum, porém com um par de transistores a mais e para cada configuração foram feitas as suas devidas ligações.

As simulações para as três arquiteturas foram feitas para JNTs nMOS com comprimento de canal de $L = 1000$ nm, largura de fin de 10 nm, espessura de óxido de porta efetiva de 1,3 nm e concentração de dopantes de $N_D = 5 \times 10^{18} \text{ cm}^{-3}$ e $1 \mu\text{A}$ de corrente de entrada.

3. Resultados

Abaixo estão os gráficos dos valores retornados pela simulação em Verilog-A no SPICE.

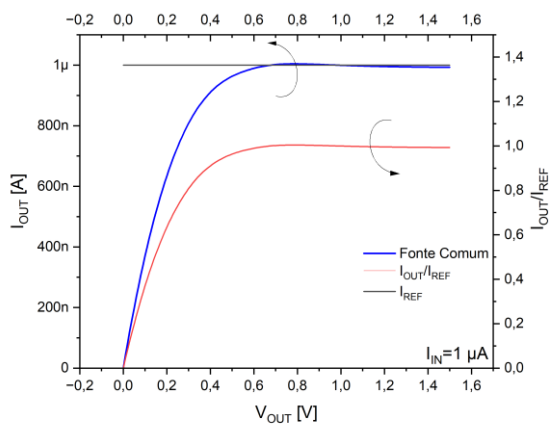


Figura 5 – Simulação Verilog-A fonte comum

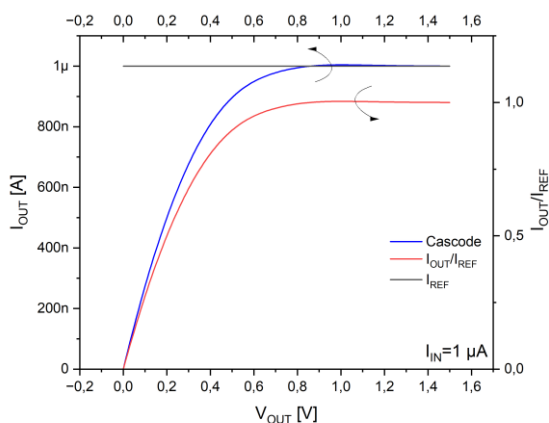


Figura 6 - Simulação Verilog-A Cascode

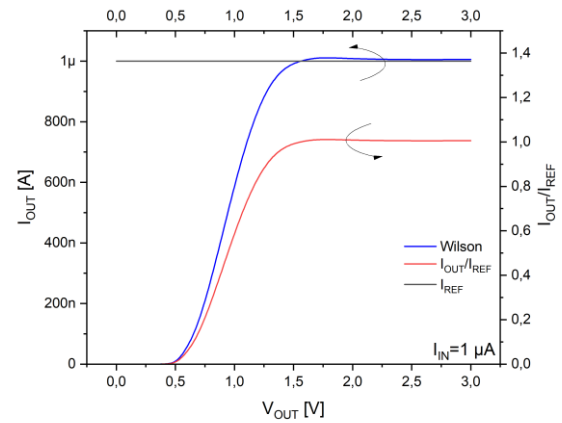


Figura 7 - Simulação Verilog-A Wilson

Para realizar a simulação da arquitetura Wilson, foi necessário aplicar uma tensão de polarização maior do que as demais, já que possui uma tensão de saturação maior. O valor utilizado foi de 1,98V.

Em todas as simulações houve uma baixa variação da precisão dos espelhos de corrente. Isso mostra que os resultados obtidos atendiam as expectativas.

4. Conclusões

O projeto alcançou um lugar que ainda era inexplorado, ele provou que o modelo analítico desenvolvido pode ser usado para simular situações e aplicações reais.

As simulações retornaram resultados de alta precisão no espelhamento das correntes, o que valida o modelo utilizado. E a simulação numérica tridimensional confirma a eficácia dos JNTs em circuitos reais, especialmente para a arquitetura de fonte comum.

Os resultados demonstram muito bem a eficácia dos JNTs e abre portas para estudos mais aprofundados tanto em espelhos de corrente, como em outros tipos de circuitos e estudos que foquem no aprimoramento do modelo para chegar cada vez mais perto da realidade.

5. Referências

- [1] SEDRA, Adel S. Microeletrônica. 5ª edição. São Paulo: Pearson Universidade, 2007.
- [2] RAZAVI, Behzad. Fundamentos de microeletrônica. 1ª edição. Rio de Janeiro: LTC, 2010.
- [3] JAZAERI, Farzan; SALLESE, Jean-Michel. Modeling Nanowire and Double-Gate Junctionless Field-Effect Transistors. Cambridge University Press, 2018.
- [4] MARCELLO, Liz Menichetti. Implementação do modelo de transistores MOS sem junções em linguagem Verilog-A. Relatório (projeto de Iniciação Científica). Centro Universitário FEI, São Bernardo do Campo, 2022.
- [5] MOREIRA, Cláudio Villela. Implementação do modelo contínuo estático e dinâmico de nanofios transistores MOS sem junções usando linguagem Verilog-a para projeto de circuitos CMOS. Dissertação

¹ Aluno de IC do Centro Universitário FEI. Projeto com vigência de 05/2023 a 06/2024.