

# SIMULAÇÃO SPICE DE AMPLIFICADORES OPERACIONAIS DE TRANSCONDUTÂNCIA CONSTRUÍDOS COM NANOFIOS TRANSISTORES MOS SEM JUNÇÃO

*Gustavo Rodrigues Santos<sup>1</sup>, Marcelo Antonio Pavanello<sup>2</sup>*  
<sup>1,2</sup> Departamento de Engenharia Elétrica, Centro Universitário FEI  
 uniegustasantos@fei.edu.br, pavanello@fei.edu.br

**Resumo:** Este trabalho apresenta um estudo de simulação do modelo do transistor *Junctionless* (JNT) na linguagem Verilog-A no simulador SPICE em um circuito amplificador operacional diferencial, a fim de avaliar a compatibilidade do modelo quando sujeito à um circuito contendo dez transistores nos quais quatro deles são de tecnologia pMOS e os seis restantes sendo de tecnologia nMOS.

## 1. Introdução

O desenvolvimento da microeletrônica e sua crescente demanda por dispositivos mais robustos, tornou-se necessário novas formas de fabricar transistores cada vez menores, assim, surgiu uma dessas soluções foi o Nanofio Transistor MOS sem Junção (JNT), mostrado na Figura 1. Este trabalho visa analisar os resultados das simulações em linguagem Verilog-A de um modelo de transistor, feito por um grupo de pesquisadores do Centro Universitário FEI, quando usado para montar um amplificador operacional diferencial.

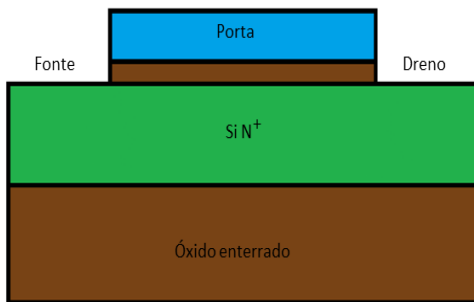


Figura 1 - Sessão transversal de um transistor JNT nMOS.

## 2. Metodologia

O dispositivo em estudo se trata de um Nanofio Transistor MOS sem Junção. Esse transistor possui a tecnologia *Silicon-on-Insulator* (SOI) e possui múltiplas portas, uma tecnologia similar aos FinFETS. No circuito utilizado há a presença de quatro transistores JNT do tipo pMOS e seis do tipo nMOS.

A análise dos resultados das simulações será feita a partir da partição do circuito em pequenas partes: espelhos de corrente e par diferencial. Além disso, terão dois tipos de simulação: em corrente alternada e contínua.

Com tudo, comparar os resultados obtidos das simulações com o resultado esperado de antemão a fim de validar o modelo para circuitos operacionais.

## 3. Resultados

A Figura 1 mostra o circuito Amplificador Operacional de Dois Estágios que foi utilizado neste trabalho.

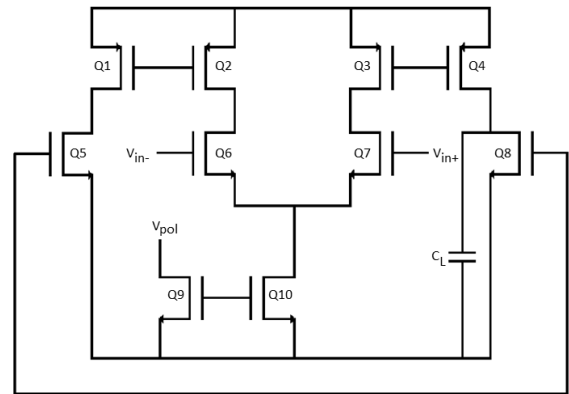


Figura 1 – Amplificador Operacional de Dois Estágios.

Na Figura 2 é possível observar o funcionamento de todos os pares de espelhos de correntes do circuito. Sendo esses os pares Q1 e Q2, Q3 e Q4, Q9 e Q10. A tensão de polarização  $V_{pol}$  utilizada foi de 0.5V. Além disso, os transistores Q6 e Q7 formam o par diferencial, ambos recebendo 0.45V e um sinal diferencial de 10.00mV.

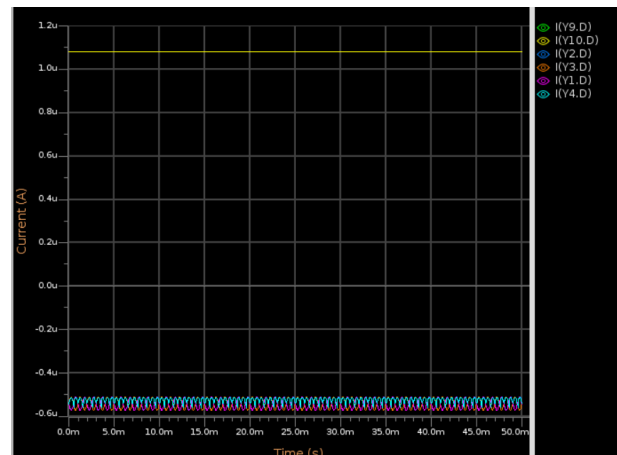


Figura 2 - Gráfico das correntes de dreno dos espelhos de corrente em função do tempo.

Já na Figura 3 é possível observar as correntes dos transistores Q2 e Q3 e suas defasagens.

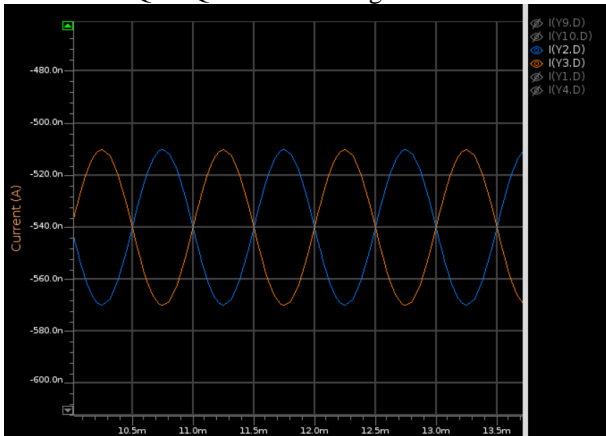


Figura 3 - Gráfico das correntes de dreno de Q2 e Q3 em função do tempo.

Além disso, os transistores Q6 e Q7 formam o par diferencial, ambos recebendo 0.45V e um sinal diferencial de 10.00mV. É possível observar que o circuito, também, amplia o sinal de entrada, apesar de apresentar uma fase diferente que do sinal de entrada como é visto na Figura 4.

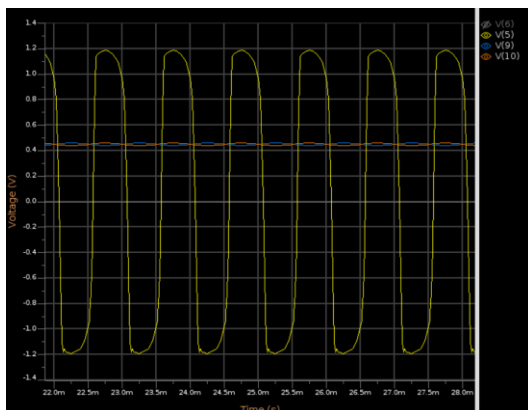


Figura 4 - Gráfico dos sinais de entrada e da saída do circuito em função do tempo.

#### 4. Conclusão

Com tudo, os resultados de simulação demonstraram uma concordância com os resultados esperados. É possível notar que os espelhos de correntes estão forçando o seu par de transistor a transmitir tal corrente como é mostrado na Figura 2 e Figura 3. Além disso, o circuito é capaz de ampliar sinais diferenciais, como é observado na Figura 4 e em seguida foram feitos alguns testes de linearidade e de algumas variáveis do modelo.

Porém, ao realizar o teste da variável  $n_{fns}$  que representa o número de filetes do transistor, foi constatado uma discrepância, uma vez que o circuito não apresentou nenhuma resposta de saída. Por isso, é

necessário rever os conceitos dessa variável no modelo de Verilog-A.

#### 5. Referências

- [1] SEDRA, Adel S. Microeletrônica. 5a edição. São Paulo: Pearson Universidade, 2007.
- [2] RAZAVI, Behzad. Fundamentos de microeletrônica. 1ª edição. Rio de Janeiro: LTC, 2010.
- [3] MARCELLO, Liz Menichetti. Implementação do modelo de transistores MOS sem junções em linguagem Verilog-A. Relatório (projeto de Iniciação Científica). Centro Universitário FEI, São Bernardo do Campo, 2022.
- [4] MARCELO, Bruna Cardoso. Modelagem de Nanofios Transistores MOS sem Junções de porta dupla e tripla. Dissertação
- [5] MARCELO, João Felipe Fernandes. Caracterização Elétrica de Amplificadores Operacionais de Transcondutância implementado com GC SOI MOSFETs. Dissertação
- [6] MARCELO, Renan Trevisoli. Operação e Modelagem de Transistores MOS sem Junções. Tese de Doutorado.

<sup>1</sup> Aluno de IC do CNPq. Projeto com vigência de 09/2023 a 08/2024.