IMPACTO DOS MÉTODOS DE EXTRAÇÃO DA TENSÃO DE LIMIAR NOS RESULTADOS DE VARIABILIDADE DE TRANSISTORES NANOFIOS

Vinicius Rodrigues Prates[1], Michelly de Souza
Departamento de Engenharia Elétrica, Centro Universitário FEI
unievprates@fei.edu.br, michelly@fei.edu.br

Resumo: Este trabalho tem como objetivo avaliar experimentalmente a influência dos métodos de extração da tensão de limiar na análise da variabilidade em transistores nanofios, utilizando diferentes métodos de extração baseados em curvas I-V. Transistores nanofios SOI com diferentes comprimentos e larguras de canal foram medidos e os resultados mostram que a escolha do método pode alterar não apenas o valor médio extraído, mas também seu desvio relativo.

1. Introdução

Para aumentar a densidade de transistores em um chip, que é um dos principais objetivos da indústria de semicondutores, diminuir as dimensões do canal é de extrema importância. Contudo, à medida que as dimensões são reduzidas, a estrutura planar padrão de MOSFET apresenta efeitos de canal curto (*SCE – Short Channel Effects*) que prejudicam suas características elétricas, tornando seu uso impraticável. Atualmente, a busca pela Lei de Moore exige tamanhos de canal tão diminutos que as estruturas de nanofios surgiram como uma solução viável [1]. Nesses dispositivos, o terminal de porta não está apenas na superfície superior do silício, mas também nas laterais, o que reduz a ocorrência de *SCE*. Uma representação esquemática da seção transversal de um transistor nanofio SOI é mostrada na Figura 1.

A variabilidade dos parâmetros elétricos é um importante fator deve ser considerado na miniaturização dos dispositivos, uma vez que reduzir a área da porta aumenta a variabilidade dos parâmetros elétricos [2]. Estudos indicam que diferentes fontes de variabilidade, como *GER* (Irregularidade na Borda do Gate) e *RDD* (Variação Aleatória de Dopantes), podem influenciar significativamente as características do dispositivo e impactar o desempenho de circuitos, especialmente os analógicos [2].

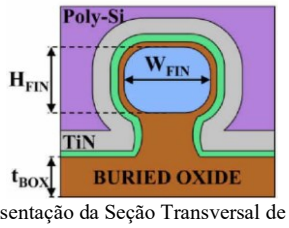

Figura 1 – Representação da Seção Transversal de um nanofio SOI nMOSFET.

A tensão de limiar é crucial para projetos de circuitos, e há vários métodos para extraí-la, sendo que cada um pode apresentar resultados diferentes, pois se baseiam em premissas distintas [3]. Um estudo recente mostrou que o valor da tensão de limiar em transistores nanofios, e sua variação com a temperatura, dependem fortemente do método de extração utilizado [4]. Portanto, diferenças na variabilidade da tensão de limiar podem variar conforme o método escolhido, como explorado em simulações numéricas na referência [5].

Portanto, este trabalho possui como objetivo realizar uma comparação experimental do impacto dos métodos de tensão de limiar no resultado da variabilidade de transistores nanofios SOI. Para isso, dispositivos fabricados no CEA-Leti com diferentes dimensões de largura e comprimento do canal foram usados.

2. Métodos de Extração da Tensão de Limiar

Sete diferentes métodos de extração da tensão de limiar (V_{TH}) foram utilizados neste trabalho, todos baseados em curvas de corrente de dreno (I_D) em função da tensão de porta (V_{GS}) medidas na região linear de operação [3]. Dessa forma, as curvas de I_D vs. V_{GS} foram medidas com V_{DS} = 40 mV. Os seguintes métodos foram aplicados: corrente constante (CC), segunda derivada (2D), extrapolação linear (ELR), extrapolação linear da transcondutância (GMLE), transição (G1), logaritmo da segunda derivada (2DL) e método transcondutância-corrente (G_M/I_D).

3. Resultados e Análise de Variabilidade

Os transistores nanofios SOI canal n utilizados neste trabalho possuem altura da camada de silício (H) de 9 nm. Foram medidos transistores com larguras (W_{FIN}) de 10 nm, 15 nm, 20 nm e 40 nm, e comprimentos de canal (L) de 40 nm e 100 nm. Todas as curvas foram obtidas em temperatura ambiente. Para permitir a análise estatística necessária para o estudo de variabilidade, mais de 30 dispositivos com as mesmas dimensões foram medidos. As curvas de corrente de dreno medidas de todos os transistores com L = 100 nm e W_{FIN} = 10 nm, e L = W_{FIN} = 40 nm são apresentadas na Figura 2(A) e (B), respectivamente, em cores claras. A curva espessa nos gráficos representa o valor médio de corrente obtido.

A análise de variabilidade foi realizada utilizando três parâmetros: o valor médio de V_{TH} ($<V_{TH}>$), o desvio padrão (σV_{TH}), que representa a variação total do parâmetro, e o desvio relativo, que é definido como σV_{TH} /$<V_{TH}>$, representando a porcentagem de variação em relação ao seu valor médio.

Os resultados de $<V_{TH}>$ e σV_{TH} obtidos para todos os dispositivos medidos são mostrados na Figura 3. Vale destacar que o valor de V_{TH} utilizando os métodos CC e G_M/I_D não pôde ser extraída de forma confiável nos dispositivos com L = 40 nm, pois esses dois métodos são altamente dependentes da região de sublimiar e os dispositivos com essa dimensão apresentaram degradação devido aos *SCEs*. Outra consequência dos *SCEs* é a redução da V_{TH}, que pode ser observada pela comparação dos resultados extraídos para dispositivos com L = 100 nm e 40 nm. A exceção é o método 2DL, que apresentou valores maiores para dispositivos mais curtos, indicando que esse método pode não ser adequado para a análise de SCE.

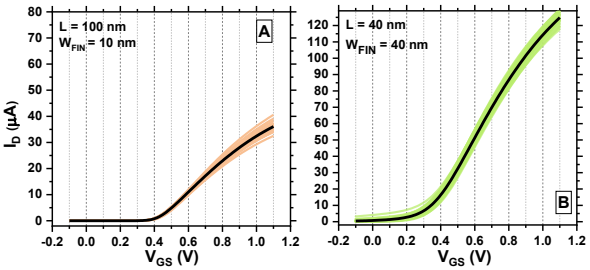

Figura 2 – I_D vs. V_{GS} para transistores de dimensões diferentes.

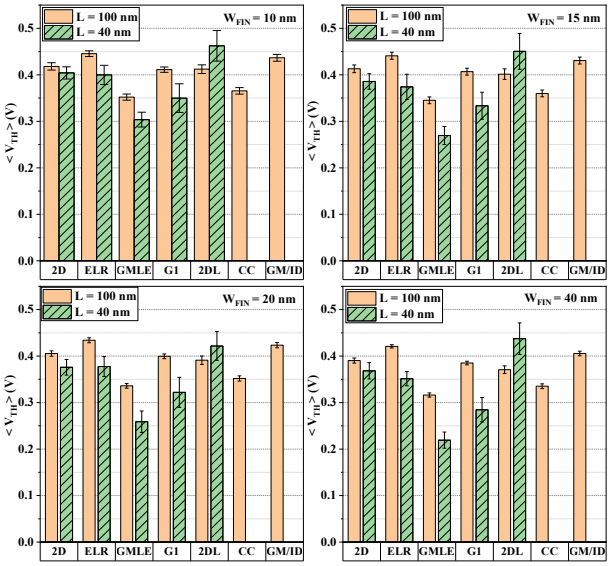

Figura 3 – Valor Médio e Desvio padrão de V_{TH} para L = 100 nm em laranja e L = 40 nm em verde para vários W_{FIN}.

Através da barra de erro pode-se observar que o desvio padrão é maior para o comprimento de canal de 40 nm em todos os métodos, com o método 2DL apresentando o maior desvio para todas as W_{FIN}. O ΔV_{TH} (diferença entre o valor médio mais alto e o mínimo) é igual a 100 mV e 190 mV para transistores de canal longo e curto, respectivamente. Esse erro não é desprezível, considerando que transistores com dimensões nanométricas são considerados para aplicações de baixa potência, geralmente polarizados com um máximo de 1 V, e esses valores correspondem a um erro de 10% e 19%, respectivamente.

O desvio relativo da tensão de limiar (σV_{TH} /<V_{TH}>) é mostrado na Figura 4. Analisando os dispositivos de canal longo, é possível notar que os valores obtidos para todos os métodos são pequenos, alcançando um máximo de 2,8% no método 2DL. O menor valor é de 0,8%, obtido ao aplicar o método ELR em W_{FIN} = 40 nm, que é o dispositivo com a maior área dentre todos os transistores medidos. Para um dado transistor (todas as amostras com o mesmo L e W_{FIN}), a maior razão entre o desvio relativo máximo e mínimo é de 2,75 vezes. Com a redução do comprimento do canal, os valores de desvio relativo aumentaram para todos os métodos em comparação com L = 100 nm e chegaram a até 10,1% com o método G1. No entanto, a razão entre o máximo e o mínimo é semelhante à obtida para transistores de canal longo, aproximadamente 2,71, obtida para W_{FIN} = 10 nm, sugerindo que a diferença do desvio relativo resultante dos diferentes métodos é mais dependente do comprimento do canal do que do método em si.

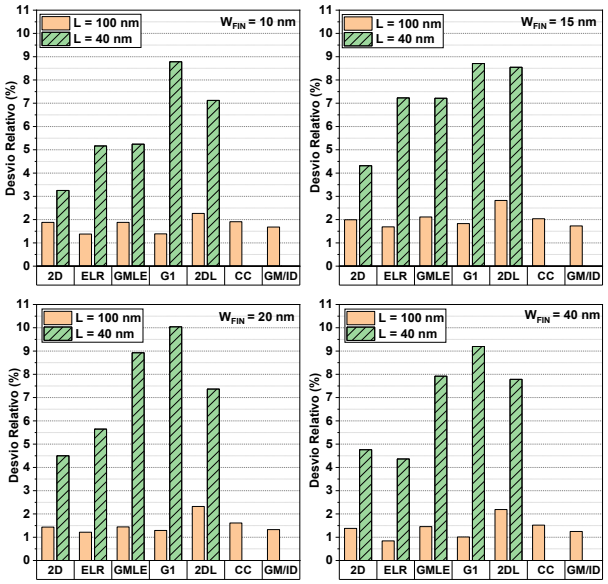

Figura 4 – Desvio Relativo de V_{TH} para L = 100 nm em laranja e L = 40 nm em verde para vários W_{FIN}.

4. Conclusões

Neste trabalho foi apresentada uma avaliação experimental do impacto dos métodos de extração da tensão de limiar nos resultados de variabilidade de transistores nanofios SOI para diferentes comprimentos e larguras de canal, utilizando sete métodos diferentes. Foi demonstrado que a escolha do método de extração altera os resultados de variabilidade da tensão de limiar, sendo essa influência mais acentuada em transistores de canal curto, o que está de acordo com os resultados simulados apresentados para transistores nanofios. Além disso, foi observada uma diferença significativa no valor médio da tensão de limiar, atingindo 100 mV e 190 mV para dispositivos com L = 100 nm e 40 nm, respectivamente. Em resumo, os resultados demonstraram que o método de extração tem uma influência significativa nos resultados de variabilidade da tensão de limiar de transistores nanofios.

5. Referências

[1] J.-P. Colinge, J. C. Greer, “Nanowire transitors: physics of devices and materials in one dimension”, Cambridge University Press, 2016.

[2] M. J. M. Pelgrom, A. C. J. Duinmaijer and A. P. G. Welbers, "Matching properties of MOS transistors" in IEEE Journal of Solid-State Circuits, vol. 24, no. 5, pp. 1433-1439, Oct. 1989.

[3] A. Ortiz-Conde et al, “Revisiting MOSFET threshold voltage extraction methods”, Microelectronics Reliability, vol. 53, n. 1, pp. 90 – 104, 2013.

[4] V. R. Prates, M. A. Pavanello and M. de Souza, "Experimental Comparison of Threshold Voltage Extraction Methods in SOI Nanowire Transistors," 2023 37th Symposium on Microelectronics Technology and Devices (SBMicro), Rio de Janeiro, Brazil, 2023, pp. 1-4.

[5] G. Espiñeira, A. J. García-Loureiro and N. Seoane, "Does the Threshold Voltage Extraction Method Affect Device Variability?," in IEEE Journal of the Electron Devices Society, vol. 9, pp. 469-475, 2021.

[1] Aluno de IC do Centro Universitário FEI. Projeto com vigência de 08/2024 a 12/2024.