

AVALIAÇÃO DE DESEMPENHO DE INVERSORES LÓGICOS UTILIZANDO MOSFETS DE DIFERENTES DIMENSÕES

Júlia Gagliera Hernandes, Michelly de Souza
Engenharia Elétrica, Centro Universitário FEI
uniejhernandes@fei.edu.br, michelly@fei.edu.br

Resumo: Esse trabalho tem como objetivo analisar o comportamento do inversor CMOS em função do comprimento e largura dos transistores que o compõem. Para isso, foram utilizados equipamentos disponíveis no Centro Universitário FEI para realizar medições de um chip contendo um inversor CMOS fabricado em tecnologia comercial, além de transistores isolados, com diferentes dimensões.

1. Introdução

É notória a evolução da tecnologia de circuitos eletrônicos em geral, permitindo equipamentos cada vez menores com mais funções, maior velocidade e menor consumo de potência, o que facilita o transporte deles e maior duração da bateria [1]. Um dos grandes motivos de toda essa evolução é devido à evolução do transistor MOS, que permitiu o aumento da densidade de integração em circuitos integrados digitais e analógicos.

Um dos circuitos digitais básicos em tecnologia CMOS é o inversor lógico. Este circuito pode ser implementado utilizando um par de transistores CMOS. Assim, esse projeto tem como objetivo o estudo de inversores CMOS através da caracterização elétrica desses circuitos em corrente contínua, relacionando sua tensão de inversão com as dimensões dos transistores MOSFET que compõem o circuito.

2. Revisão bibliográfica

O inversor CMOS é composto por dois MOSFETs, um nMOS e um pMOS conectados em série, como indicado na figura 1. A porta curto-circuitada correspondem à entrada do circuito (V_E), enquanto a saída (V_S) é medida no ponto de ligação dos drenos, onde é conectada a carga, com uma dada capacitância de carga (C_L). A tensão de alimentação do circuito (V_{DD}) é ligada à fonte do pMOS, enquanto a fonte do nMOS está conectado ao terra do circuito. Desse modo, a diferença de potencial entre a porta e a fonte (V_{GS}) do transistor pMOS é sempre menor ou igual a zero, e a diferença de potencial entre a porta e a fonte do nMOS será sempre maior ou igual a zero [2].

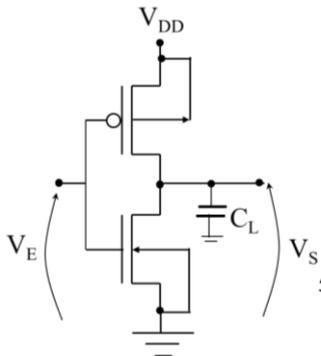


Figura 1 – Estrutura física de um inversor CMOS.

Por ser composto por dois MOSFETs interligados, temos cinco regiões de operação [2, 3]:

- 1) Para $V_E = 0V$, a diferença de potencial V_{GS} do nMOS será de $0V$, e ele estará na região de corte. No pMOS essa diferença será de $-V_{DD}$, fazendo-o conduzir em triodo, com baixa resistência de canal, levando a tensão de saída (V_S) para V_{DD} , com corrente muito próxima a zero.
- 2) Quando V_E alcançar a tensão de limiar de condução do nMOS, este passará a conduzir em saturação, enquanto o PMOS permanece em triodo. A corrente começa a aumentar.
- 3) Aumentos adicionais de V_E levam os dois transistores para a região de saturação, e ocorre o pico de corrente do circuito. Este ponto corresponde à tensão de inversão lógica do inversor (V_{INV}), e há uma drástica mudança em V_S para uma certa tensão de entrada.
- 4) Ao aplicar na entrada uma tensão maior que a tensão de inversão, sua tensão de saída começa a diminuir, uma vez que o nMOS entra em triodo, e sua resistência começa a reduzir, enquanto o pMOS entra na região de saturação, com alta resistência. Observa-se uma redução na corrente do circuito.
- 5) Quando o aumento de V_E levar o pMOS para a região de corte, a corrente torna-se praticamente nula, e o nMOS permanece em triodo. A tensão de saída será igual a 0.

A tensão de inversão pode ser definida pela expressão abaixo, onde V_{DD} é a tensão de alimentação do circuito que está conectado na fonte do pMOS, o V_{Tp} é a tensão de limiar do pMOS e V_{Tn} a tensão de limiar de nMOS, β_p é o fator de ganho do transistor de canal tipo P e o β_n é o fator de ganho do transistor de canal tipo N [4]. O fator de ganho dos transistores é dado por $\beta = \mu \cdot C_{ox} \cdot W/L$ [3], sendo μ a mobilidade dos portadores, C_{ox} é a capacitância do óxido de porta, W e L são a largura e o comprimento de canal, respectivamente. A partir da equação (1), pode-se notar que para que $V_{INV} = V_{DD}/2$ é necessário que $\beta_n = \beta_p$:

$$V_{INV} = \frac{V_{DD} + V_{Tp} + V_{Tn} \cdot \sqrt{\frac{\beta_n}{\beta_p}}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}} \quad (1)$$

3. Metodologia

Para este estudo, foram utilizados os equipamentos Microprovador Signatone e Analisador de Parâmetros Agilent 4156C, disponíveis no Laboratório de Nanoeletrônica e Circuitos Integrados do Centro Universitário FEI, para a medida elétrica dos circuitos integrados. Foi utilizado um *chip* fabricado em tecnologia CMOS de 180 nm da empresa taiwanesa *United Microelectronics Corp* (UMC), contendo um inversor e transistores CMOS, com espessura de óxido de porta de 4 nm.

Foram medidas, além da curva de transferência estática do inversor CMOS, as curvas de corrente dos transistores isoladamente. A partir destas curvas foram obtidos os valores da tensão de limiar e mobilidade dos transistores, além da tensão de inversão do inversor.

A Figura 2 apresenta a curva de transferência estática (V_S vs V_E) e da corrente de um inversor CMOS composto por transistores com W/L igual a 240 nm/180 nm para o nMOS e 600 nm / 180 nm para o pMOS, medido com $V_{DD} = 1,8$ V. Nesta curva pode-se observar as cinco regiões de funcionamento descritas anteriormente.

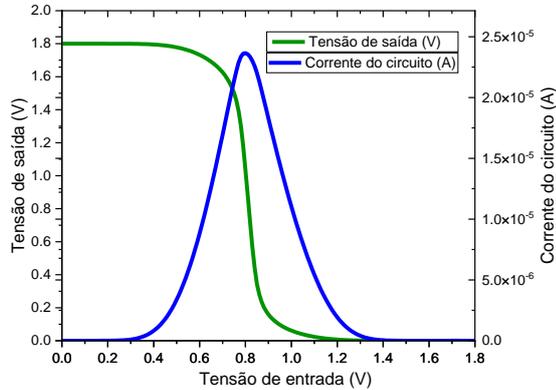


Figura 2 – Comportamento estático de um inversor CMOS com V_{DD} de 1,8V.

4. Resultados

A partir de curvas V_S x V_E medidas com diferentes valores de V_{DD} foram extraídos os valores de V_{INV} . A partir das curvas de corrente de dreno em função da tensão de porta medidas com baixa tensão de dreno ($V_{DS} = 50$ mV) para os transistores que compõem os transistores, foram extraídas as tensões de limiar e da mobilidade, a fim de calcular o valor de V_{INV} a partir da equação (1) para permitir a comparação com o valor extraído experimentalmente [2]. A Tabela 1 apresenta os valores obtidos para a mobilidade e tensão de limiar dos transistores, utilizando o método Y-Function [4].

Considerando a diferença nos valores dos fatores de ganho apresentados na Tabela 1, V_{INV} não será igual a $V_{DD}/2$. Os valores medidos e calculados para a tensão de inversão são apresentados na Tabela 2.

Tabela 1 – Valores extraídos para a tensão de limiar, mobilidade e fator de ganho dos transistores nMOS e pMOS.

Transistor	Tensão de limiar (V)	Mobilidade (cm ² /V.s)	Fator de ganho (A/V)
nMOS	0,5287	367,78	$4,1380 \cdot 10^{-4}$
pMOS	- 0,5480	90,14	$2,4160 \cdot 10^{-4}$

Tabela 2 - Comparação entre os valores medidos e calculados para a tensão de inversão para vários valores de V_{DD} .

V_{DD} (V)	V_{INV} curva do inversor (V)	V_{INV} calculado (V)	Erro (%)
1,0	0,48	0,4955	3,13
1,2	0,56	0,5821	3,80
1,4	0,65	0,6687	2,80
1,6	0,77	0,7554	1,93
1,8	0,85	0,8420	0,95

Os resultados apresentados na Tabela 2 mostram que quanto maior for o valor de V_{DD} , a equação (1) resulta em valores de V_{INV} mais próximos aos valores extraídos experimentalmente. Para $V_{DD} = 1,8$ V, a diferença é inferior a 1%.

Embora o chip disponível não contenha inversores de outras dimensões, estão disponíveis transistores isolados, de diferentes dimensões. Assim, estes transistores foram medidos e utilizados para calcular o valor de V_{INV} para $V_{DD} = 1,8$ V, com o objetivo de avaliar a dependência de V_{INV} com as dimensões dos transistores. A Tabela 3 apresenta os valores de V_{INV} para diversas combinações de transistores com $W = 3$ μ m e diferentes comprimentos de canal. Pode-se notar que ao aumentar o L_p , o valor de V_{INV} aumenta e ao aumentar o L_n , o valor de V_{INV} diminui.

Tabela 3 – Valores de V_{INV} (V) para diferentes combinações de transistores nMOS e pMOS com $W = 3$ μ m e $V_{DD} = 1,8$ V.

L_n (μ m) \ L_p (μ m)	0,18	0,24	0,30	0,40	0,60	1,00
0,18	1,18V	1,10V	1,03V	0,95V	0,85V	0,73V
0,24	1,25V	1,17V	1,11V	1,03V	0,94V	0,82V
0,30	1,32V	1,24V	1,14V	1,09V	1,00V	0,86V
0,40	1,38V	1,31V	1,24V	1,17V	1,07V	0,93V
0,60	1,46V	1,39V	1,32V	1,25V	1,16V	1,03V
1,00	1,53V	1,47V	1,41V	1,34V	1,25V	1,14V

5. Conclusões

Neste trabalho foi possível observar o funcionamento de um inversor CMOS e comparar os valores da tensão de inversão medida e calculada a partir dos parâmetros dos dois transistores presentes nele. Quando maior a tensão de alimentação, maior a precisão da tensão de inversão calculada, em comparação com o valor medido. A partir da medida de transistores isolados, foi possível calcular a tensão de inversão para várias combinações de nMOS e pMOS. E, com isso, foi possível perceber que ao aumentar o L_n , diminui o valor de V_{INV} e ao aumentar o L_p , aumenta o valor de V_{INV} .

6. Referências

- [1] Melek, L. A. P.. Operação de circuitos lógicos CMOS de (ultra)-baixo consumo. 2004. Tese (Doutorado) – UFSC, Centro Tecnológico. Programa de Pós-Graduação em Engenharia Elétrica.
- [2] Martino, J. A., Pavanello, M. A., Verdonck, P. B.. Caracterização elétrica de tecnologia e dispositivos MOS. Thomson, 2003. ISBN 9788522103478.
- [3] Sedra, A.S., Smith K. C.. Microeletrônica, 5ª edição. Pearson Prentice Hall, 2007. ISBN 9788576050223.
- [4] D. Fleury, A. Cros, H. Brut and G. Ghibaudo, "New Y-function-based methodology for accurate extraction of electrical parameters on nano-scaled MOSFETs," 2008 IEEE International Conference on Microelectronic Test Structures, Edinburgh, UK, 2008, pp. 160-165.

Agradecimentos

À instituição Centro Universitário FEI pelo empréstimo de equipamentos e à instituição CNPq pelo apoio.

¹ Aluno de IC do CNPq. Projeto com vigência de 09/2023 a 08/2024.