

# EFEITO DA TEMPERATURA NO ACOPLAMENTO CAPACITIVO DE TRANSISTORES SOI UTBBs

Everton Matheus da Silva<sup>1</sup>, Rodrigo Trevisoli Doria<sup>1</sup>  
<sup>1</sup> Engenharia Elétrica, Centro Universitário FEI  
 everton.slva1994@hotmail.com; [rtdoria@fei.edu.br](mailto:rtdoria@fei.edu.br)

**Resumo:** Este trabalho apresenta uma análise da influência da temperatura no acoplamento capacitivo de transistores SOI UTBB através de simulações numéricas bidimensionais. As simulações foram realizadas para estruturas com Ground planes tipo: P, N e sem GP, polarizações de substrato variando de -3V a 2V e temperaturas de 100K a 400K. Após a compilação dos dados, foi possível notar que para algumas condições de polarização, a variação de temperatura afetou o acoplamento capacitivo dos dispositivos.

## 1. Introdução

Desde meados da década de 60 a crescente demanda por evolução elevou drasticamente o nível de integração dos circuitos integrados alcançando níveis nanométricos.[1] No entanto esta redução passou a apresentar certos efeitos indesejados, denominados efeitos de canal curto (SCEs)[2,3,4]. Estes efeitos conduzem à degradação das características eletrônicas do dispositivo prejudicando seu funcionamento e reduzindo sua confiabilidade. Deste modo eleva-se a demanda por novas tecnologias que reduzam ou sejam imunes a tais efeitos. Dentre as tecnologias mais promissoras, está presente a comumente conhecida como SOI UTBB MOSFET, que faz referência a uma estrutura de transistor MOS onde a região ativa (canal) da lâmina de silício encontra-se isolada do resto do substrato (corpo), tal tecnologia tem apresentado resultados promissores referentes a redução dos efeitos de canal curto. A sigla UTBB vem da abreviação de Ultra Thin Body And Buried Oxide (como apresentado na figura 1), que faz referência as suas camadas de silício e óxido ultrafinas, marco importante na evolução de tal tecnologia que proporciona, principalmente uma melhor dissipação térmica. [5,6]

Devido a camada de óxido enterrado ultrafina, o corpo deste dispositivo pode ser utilizado como uma segunda porta que pode ou não ser conectada com a porta convencional. Esta segunda porta é comumente polarizada de forma independente de modo a produzir ganhos no acoplamento capacitivo. [6]

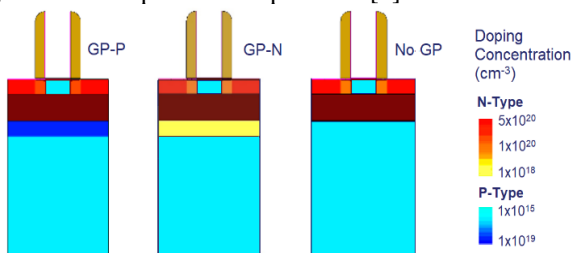


Figura 1. Três transistores SOI UTBB com L=20nm; t<sub>si</sub>=10nm, t<sub>box</sub>=20nm e GP tipos P- e N- (GP-P e GP-N, respectivamente) e sem GP.

Para amplificar o efeito da polarização de substrato, uma camada com alta concentração de dopantes, podendo ser de tipo P ou N é aplicada entre o óxido enterrado e o substrato, como podemos ver na figura 1, esta camada é comumente chamada de Ground Plane (GP).[6]

Como foi mencionado, os efeitos de canal curto são intensificados exponencialmente com a redução extrema das dimensões dos dispositivos e tais efeitos estão diretamente ligados ao acoplamento capacitivo e a maioria de suas características de caracterização elétrica, é conhecido também que tais características são afetadas pela polarização de substrato V<sub>BS</sub>, deste modo, o objetivo deste trabalho é realizar a análise dos efeitos produzidos no acoplamento capacitivo de transistores SOI UTBB quando seu substrato é polarizado entre -3V e 2V, para camadas de GP tipos P, N e sem no-GP, comprimentos de canal variando entre 20nm e 500nm e temperaturas entre 100K e 400K.

## 2. Análise da variação da temperatura

Esta análise foi realizada através da simulação da corrente de dreno em função da tensão de porta para dispositivos com diferentes configurações de GP com tensão de dreno de 50mV para diferentes comprimentos de canal e valores de temperatura.

As curvas apresentadas na figura 2 representam uma análise da tensão de limiar em função da temperatura e neste caso podemos ver que para um valor de V<sub>BS</sub> mais positivo, a tensão de limiar tem seu valor elevado como resposta a uma redução da temperatura.

$$\phi_F = \frac{kT}{q} \ln \left( \frac{N_A}{n_i} \right) \quad (1)$$

$$n_i = 3.9 \times 10^{16} \times T^{\frac{3}{2}} \times e^{-\frac{E_g}{2kT}} \quad (2)$$

Analisando a equação do potencial de Fermi ( $\phi_F$ ), chegamos à conclusão de que este padrão de variação era esperado, pois uma redução no valor da temperatura promove uma redução no valor de portadores intrínsecos que consequentemente promove uma redução notória no valor.

$$\alpha = \frac{t_{ox} + \frac{\epsilon_{ox}}{\epsilon_{si}} (X_{bar})}{t_{box} + \frac{\epsilon_{ox}}{\epsilon_{si}} (t_{si} - X_{bar})} \quad (3)$$

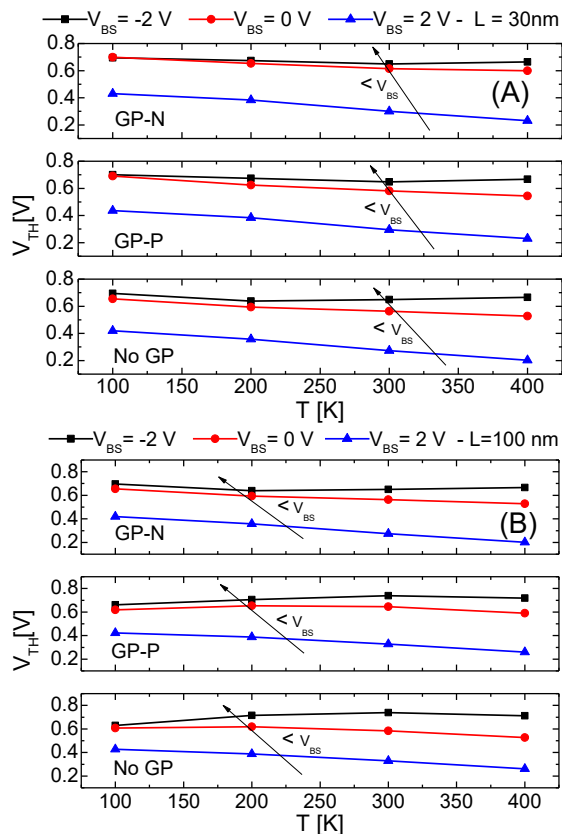


Figura 2.  $V_{TH}$  x T variando de 100K a 400K para dispositivos com GP-P GP-N e sem GP (A)  $L=30nm$  e (B)  $L=100nm$

Para  $V_{BS} = 0$  foi possível notar um aumento de  $V_{TH}$  com uma redução da temperatura, não dependendo do tipo de GP para dispositivos curtos. Já para os dispositivos longos,  $V_{TH}$  não apresentou dependência significativa com a temperatura.

Na figura 3 o fator de corpo é apresentado em função da temperatura e neste caso podemos notar um leve aumento do fator de corpo correspondente a uma redução na temperatura para  $V_{BS} = 2V$ . Para os demais valores o fator de corpo se manteve praticamente constante.

Neste caso a única variação está relacionada ao potencial na região de canal, (pois trata-se de um transistor completamente depletado) que conduz a uma variação na posição de maior concentração de elétrons que está correlacionada ao fator de corpo através da equação (3) e do efeito quântico de inversão de volume.

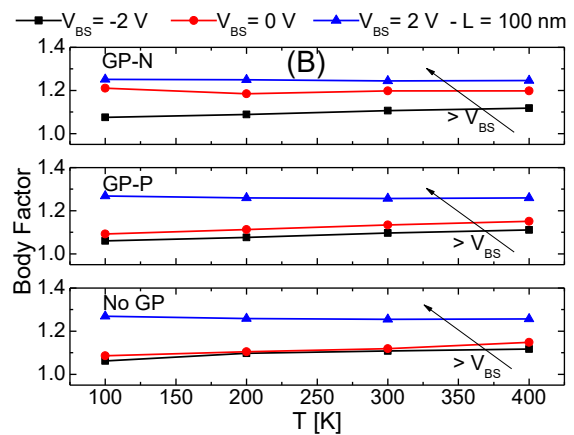
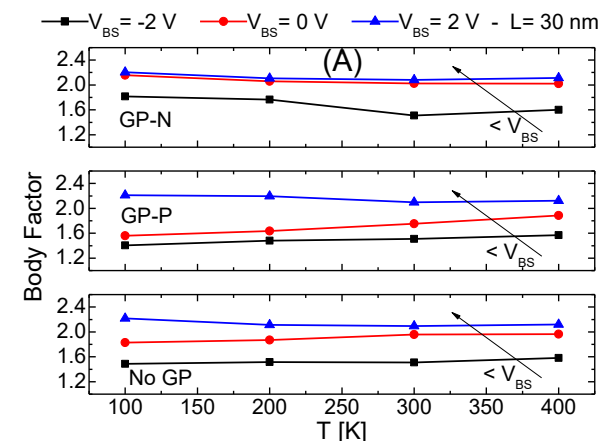


Figura 3. Fator de corpo x T variando de 100K a 400K para dispositivos com GP-P GP-N e sem GP (A)  $L=30nm$  e (B)  $L=100nm$

### 3. Conclusões

Este artigo apresentou uma análise do acoplamento capacitivo de transistores SOI UTBBs quando seus parâmetros de polarização e condições de operação, em especial a temperatura, são variados.

A partir daí, foi possível constatar que a variação de temperatura proporcionou uma variação da tensão de limiar para algumas condições de polarização e se manteve praticamente constante para outras.

Também foi possível verificar que para algumas condições de polarização uma variação do fator de corpo relacionada à mudança da posição da região de maior concentração de elétrons na região de canal foi constatada. Tal parâmetro afeta diretamente o acoplamento capacitivo dos dispositivos.

### 4. Referências

- [1] G.E. Moore, “Cramming More Components onto Integrated Circuits”, *Electronics*, v. 38, n. 8, p. 114-117, 1965.
- [2] J.P. Colinge, *Silicon on Insulator Technology: Materials to VLSI*, 3<sup>rd</sup> Edition. University of California: Kluwer Academic Publishers, 2004.
- [3] J.P. Colinge, *FinFETs and Other Multigate Transistors*, Springer, 2008.
- [4] K.K. Young, “Short-Channel Effects in Fully Depleted SOI MOSFETs”, *IEEE Transactions on Electron Devices*, v. 36, n. 2, p. 399-402, 1989.
- [5] C. Fiegna, Y. Yang, E. Sangiorgi, and A. G. O’Neill, “Analysis of Self-Heating Effects in Ultrathin-Body SOI MOSFETs by Device Simulation”, *IEEE Transactions on Electron Devices*, vol. 55, no. 1, p. 233-244, 2008.
- [6] SILVA, E. M. ; TREVISOLI, R. ; DORIA, R. T. . Effect of Substrate Bias and Temperature Variation in the Capacitive Coupling of SOI UTBB MOSFETs. *JICS. JOURNAL OF INTEGRATED CIRCUITS AND SYSTEMS*, v. 16, p. 1-7, 2021.

### Agradecimentos

À instituição Centro Universitário FEI pela realização das medidas ou empréstimo de equipamentos.

1 Aluno de IC do CNPq. Projeto com vigência de 09/20 a 08/21.