

# CARACTERIZAÇÃO ELÉTRICA DE NANOFIOS TRANSISTORES SOI MOSFETS

Fellipe da Silva Pedrosa<sup>1</sup>, Michelly de Souza<sup>2</sup>  
<sup>1,2</sup> Centro Universitário FEI  
 fellipe.pedrosa2809@gmail.com/ michelly@fei.edu.br

**Resumo:** Neste trabalho são apresentados resultados da caracterização elétrica de transistores MOS tridimensionais de dimensões nanométricas implementados em tecnologia de silício sobre isolante (*Silicon-On-Insulator – SOI*). São analisados e comparados os parâmetros elétricos para nanofios transistores SOI nMOS e pMOS com diferentes larguras de nanofio, entre 12 nm e 42 nm. Os parâmetros estudados são: tensão de limiar, inclinação de sublimiar e mobilidade dos portadores.

## 1. Introdução

Para a configuração de transistores fabricados segundo a tecnologia MOS convencional, a ausência de uma camada isolante entre a região ativa e o substrato dá origem a uma série de efeitos negativos para o transistor, como as capacitâncias intrínsecas (parasitárias) e o efeito tiristor parasitário. Para transistores em escala de dimensão muito reduzida, torna-se necessário etapas adicionais no processo de fabricação do transistor para minimizar a influência de tais efeitos [1].

Com a constante necessidade da redução das dimensões dos transistores para a construção de circuitos com alta densidade de integração, a tecnologia SOI surgiu como uma alternativa para a tecnologia CMOS. Tal tecnologia conta com a presença de uma camada isolante entre a região ativa e o substrato, que traz como consequências a redução de efeitos parasitários. A partir do desenvolvimento de novas pesquisas a respeito da tecnologia, o mesmo passou por diversos aprimoramentos, permitindo então uma maior escala de aplicabilidade em circuitos integrados [1]. Visando permitir a contínua redução das dimensões, surgiram os transistores 3D, que ao terem suas dimensões (altura e largura) reduzidas, deram origem ao nanofio. Esta tecnologia é destaque para o futuro devido as boas características quando aplicados em circuitos integrados e também em circuitos analógicos. Nos aspectos construtivos desta tecnologia o valor de  $H_{FIN}$  (altura fin da região ativa de silício) é aproximadamente igual à  $W_{FIN}$  (largura fin da região ativa de silício), desta forma, não há dopagem no canal [2]. O perfil de um nanofio transistor SOI MOSFET com canal N e os respectivos eletrodos de controle é apresentado na Figura 1.

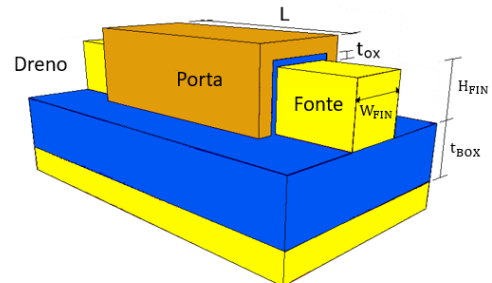


Figura 1- Perfil de um nanofio transistor SOI MOSFET na tecnologia nMOS.

## 2. Metodologia

Foram realizadas as medidas elétricas da corrente de dreno ( $I_d$ ) em função da tensão de porta ( $V_g$ ) com tensão de dreno  $V_{ds} = 25mV$ .

O primeiro parâmetro analisado é a tensão de limiar ( $V_{th}$ ), que define a tensão de porta necessária para permitir a condução de corrente entre os terminais de fonte e dreno. Neste trabalho, foi utilizado o método da segunda derivada da corrente para extração de  $V_{th}$ .

A inclinação de sublimiar (SS) foi o segundo parâmetro analisado e indica qual a variação de tensão de porta potencial necessária para aumentar a corrente de dreno em uma década. Este parâmetro elétrico é definido pela razão entre a taxa de variação de  $V_g$  com relação a taxa de variação logarítmica da corrente de dreno na região de sublimiar [1], como indicado pela Equação (1).

$$SS = \frac{d(V_{gs})}{d(\text{Log}(I_d))} \quad (1)$$

O último parâmetro elétrico estudado foi a mobilidade dos portadores ( $\mu$ ). Este parâmetro quantifica a facilidade do portador se mover quando submetido à aplicação de um campo elétrico. Para a extração da mobilidade foi utilizado o *YFunction* [3].

## 3. Resultados

A Figura 2 apresenta as curvas da corrente de dreno ( $I_d$ ) em função da tensão de porta ( $V_g$ ) para o nanofios transistores SOI canal nMOS e canal pMOS, medidos com  $V_{ds} = 25mV$ . Analisando o gráfico verifica-se que para um mesmo valor de  $V_g$  (em módulo), para um mesmo  $W_{FIN}$ , o valor da corrente de dreno é maior para o transistor com canal N do que para o transistor com canal P. Além disso, o aumento de  $W_{FIN}$  é responsável pelo aumento do nível de corrente, tanto para nMOS como pMOS. A partir destes gráficos é possível realizar a extração da tensão de limiar dos dispositivos.

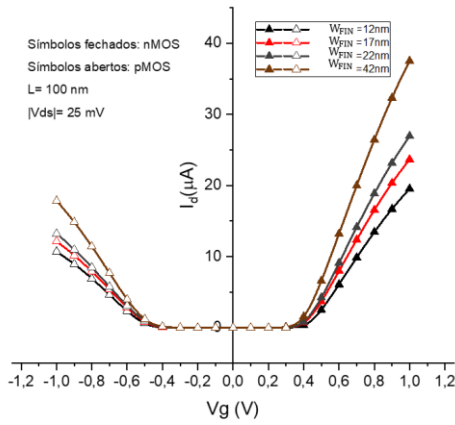


Figura 2 – Curva de corrente de dreno em função da tensão de porta para transistores SOI nMOS e pMOS.

A Figura 3 apresenta as curvas de Tensão de Limiar ( $V_{th}$ ) em função do  $W_{FIN}$  da tecnologia para transistores SOI com canal N e canal P, ambos obtidos através da segunda derivada das curvas apresentadas na Figura 2. Nota-se um ligeiro aumento do valor da Tensão de Limiar (em módulo) com a redução de  $W_{FIN}$  tanto para transistores canal N quanto para canal P, devido ao aumento do acoplamento eletrostático.

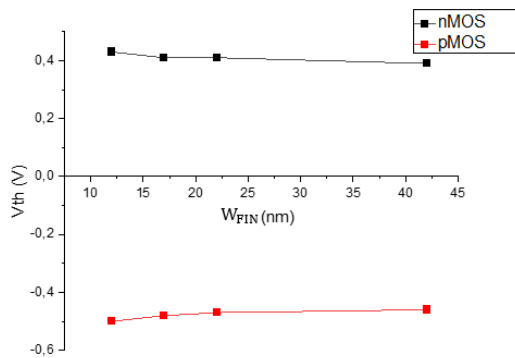


Figura 3 – Curva de tensão de limiar em função do  $W_{FIN}$  para transistores SOI nMOS e pMOS.

Os valores da inclinação de sublimiar extraídos a partir das curvas de corrente são apresentados na Figura 4 em função de  $W_{FIN}$ . Os resultados permitem notar que para os transistores nMOS, SS está bem próximo ao limite teórico de 60 mV/dec. Por outro lado, os transistores pMOS apresentaram degradação de SS, com resultados superiores à 100 mV/dec.

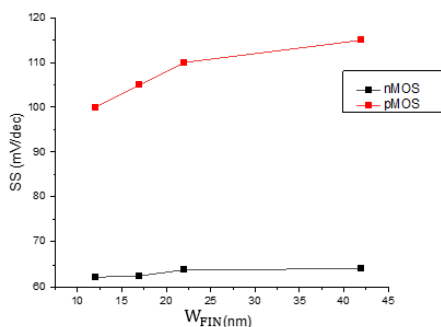


Figura 4 – Curva de inclinação de sublimiar em função do  $W_{FIN}$  para transistores nMOS e pMOS.

Na figura 5 são apresentados os resultados da mobilidade de baixo campo elétrico extraídos utilizando o método Y-Function em função de  $W_{FIN}$ . Os resultados permitiram verificar que a mobilidade para os transistores SOI nMOS é maior quando comparada aos transistores de canal p. Além disso, note-se uma pequena dependência com  $W_{FIN}$ .

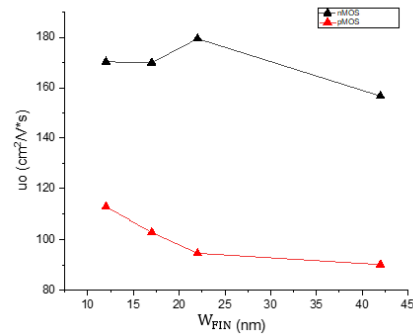


Figura 5 – Curva de mobilidade elétrica em função do  $W_{FIN}$  para transistores nMOS e pMOS.

#### 4. Conclusões

Neste trabalho foram apresentados parâmetros elétricos básicos de nanofios transistores SOI de canal N e P. Foram apresentados resultados da tensão de limiar, inclinação de sublimiar e mobilidade de portadores, evidenciando as diferenças entre nMOS e pMOS com diferentes larguras de nanofio. Ao comparar o gráfico de  $I_d$  em função de  $V_g$  para os nanofios de canal nMOS e pMOS pode-se verificar que para um mesmo valor de  $W$  o nMOS apresenta maior valor de corrente. Em relação ao  $V_{th}$ , observa-se uma relação de declínio do parâmetro com o aumento de  $W_{FIN}$  para ambos os dispositivos. A inclinação de sublimiar para o nMOS atinge valores próximos ao 60mV/dec previsto teoricamente, já para o pMOS atinge valores maiores do que 100mV/dec indicando a degradação do parâmetro. Por último, pode se constatar que a mobilidade do dispositivo nMOS é maior quando comparada ao pMOS, sendo um dos motivos que justificam a maior corrente do nMOS.

#### 5. Referências

- [1] SOUZA, Michelly de. Modelagem, simulação e fabricação de circuitos analógicos com transistores SOI convencionais e de canal gradual operando em temperaturas criogênicas. São Paulo, 2008.
- [2] ASSALTI, Rafael. Modelagem, simulação e caracterização elétrica da associação série assimétrica de transistores SOI. São Bernardo do Campo, 2018.
- [3] FLEURY, D. et al. New Y-Function-Based Methodology for Accurate Extraction of Electrical Parameters on Nano-Scaled MOSFETs. Grenoble, 2008.

#### Agradecimentos

À instituição CEA-Leti França por disponibilizar as amostras e o Conselho Nacional de Desenvolvimento Científico (CNPq) pelo incentivo.

<sup>1</sup> Aluno de IC com bolsa CNPq. Projeto com vigência de 09/2021 a 08/2022.