

Extração de Parâmetros Elétricos de Transistores SOI com Estrutura de Nanofios e Nanofolhas

Vinicius Rodrigues Prates¹, Michelly de Souza²

^{1,2} Departamento de Engenharia Elétrica, Centro Universitário FEI

¹viniciusprates@hotmail.com, ²michelly@fei.edu.br

Resumo: Este trabalho apresenta uma análise, através de medidas experimentais, da influência da largura de transistores SOI nMOS do tipo nanofios e nanofolhas sobre parâmetros elétricos básicos, como a tensão de limiar e a inclinação de sublimar, e parâmetros analógicos. Foi observado que nanofios possuem melhor desempenho, apesar do menor nível de corrente.

1. Introdução

Com o aumento da densidade de integração de circuitos integrados, os transistores apresentam uma tendência de diminuir suas dimensões, permitindo aumentar o número de componentes mantendo uma área reduzida. Essa tendência é expressa pela Lei de Moore, que diz que a cada 18 meses o número de transistores por área em um chip dobra. Contudo, ao diminuir as dimensões de um transistor MOS planar surgem alguns efeitos indesejados, chamados de efeitos de canal curto (SCE – *Short-Channel Effects*) [1], que degradam características elétricas importantes dos transistores, como a tensão de limiar e a inclinação de sublimar, além de aumentar a potência dissipada em estado desligado. Como alternativa à estrutura convencional do MOSFET, foram propostos transistores tridimensionais como o FinFET. Outras estruturas incluem os nanofios e nanofolhas, que vem sendo considerados para permitir a contínua a miniaturização dos transistores MOS [2], minimizando os SCEs. Nestas estruturas, o aumento do controle da porta sobre as cargas do canal, reduz a influência das regiões de dreno e fonte, postergando para dimensões menores os SCEs. Isto ocorre pois estes transistores possuem o terminal de porta ao redor do canal, e não apenas na parte superior como o transistor planar, como representado na Figura 1, permitindo melhor controle eletrostático da porta sobre o canal.

Esse trabalho visa fazer um estudo sobre a influência da largura do canal (W_{FIN}), sobre a tensão de limiar (V_t) e a inclinação de sublimar (SS) de transistores SOI MOS com estrutura de nanofios e nanofolhas. Além disso também serão apresentados parâmetros analógicos, como a transcondutância normalizada pela corrente (G_M/I_{DS}), a tensão Early (V_{EA}) e o Ganho de Tensão (A_V), utilizando para isso dados experimentais.

2. Parâmetros das Amostras

As medidas elétricas foram feitas em amostras de transistores produzidos no CEA-Leti [3]. A estrutura de porta é composta por uma fina camada de SiO₂, seguida por 2,3 de HfSiON, 5 nm de TiN e 50 nm de Si-poly. A espessura efetiva do óxido é de 1,4 nm. Todos os transistores medidos apresentam altura do canal (H) de 9 nm e comprimento (L) de 100 nm, com 10 canais paralelos. Foram medidos transistores com largura (W_{FIN}) de 12 nm a 222 nm. As medidas foram realizadas em temperatura ambiente (300 K). Para cada transistor, foram extraídas curvas $I_D \times V_{GS}$ com $V_{DS} = 0,8$ V e $I_D \times V_{DS}$ com $V_{GS} = V_t$.

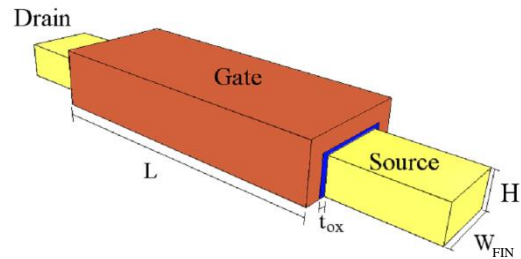


Figura 1 – Representação esquemática de um nanofio transistor.

3. Resultados e Discussões

Nas Figura 2(A) e 2(B) são apresentadas as curvas de corrente de dreno (I_D) em função da tensão da porta (V_{GS}) e em função da tensão de dreno (V_{DS}), respectivamente, para todos os transistores com diferentes larguras do canal (W_{FIN}). Pode-se observar que o valor de I_D é maior em nanofolhas ($W_{FIN} \gg H$) já que há maior área para passagem de corrente. Contudo, observa-se maior ocorrência de SCEs nestes casos: na Figura 2(A) observa-se que a tensão de limiar (V_t) está sendo degradada, pois a curva com maior W_{FIN} começa a conduzir antes dos menores e na Figura 2(B) observa-se na região de saturação maior variação da corrente com V_{DS} , indicando redução da Tensão de Early (V_{EA}) com o aumento de W_{FIN} .

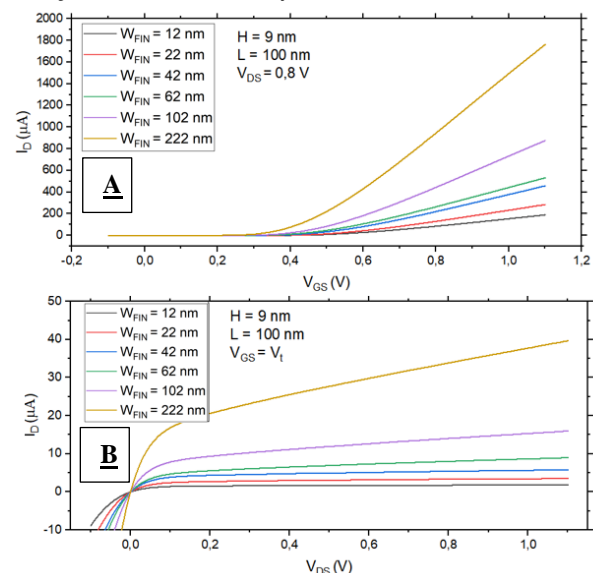


Figura 2 - Gráfico de $I_D \times V_{GS}$ (A) e $I_D \times V_{DS}$ (B)

Nas Figuras 3(A) e 3(B) são apresentadas, respectivamente, as curvas de V_t e SS em função do W_{FIN} . Observa-se que há uma grande redução de V_t com o aumento de W_{FIN} , havendo uma variação total de 90 mV. O SS é um parâmetro relacionado com a velocidade de chaveamento do transistor entre os estados ligado e desligado. Ele depende diretamente da temperatura e do fator de corpo (n), sendo seu limite teórico em 300 K de

aproximadamente 60 mV/dec. Analisando a Figura 3(B) pode-se observar que nanofios (transistores com W_{FIN} da mesma ordem de grandeza de H) apresentam SS próximo ao limite teórico, havendo um aumento do SS com aumento do W_{FIN} . Este resultado indica que nanofolhas apresentam fator de corpo maior do que 1, devido à perda de controle da porta sobre as cargas do canal com maior W_{FIN} .

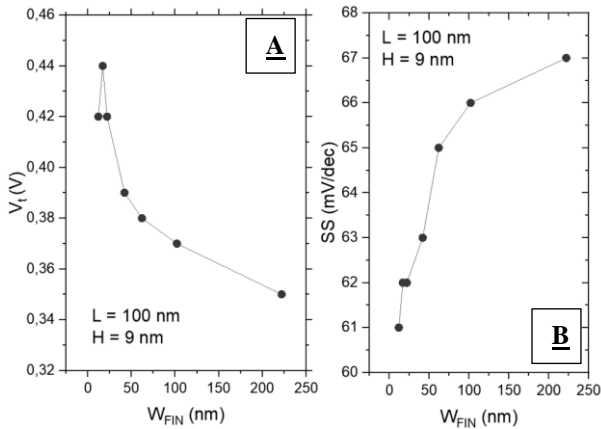


Figura 3 - Gráfico de V_t (A) e SS (B) em função de W_{FIN}

Um parâmetro importante para aplicações analógicas de transistores é o seu ganho de tensão (A_V). Ela pode ser definida matematicamente pela equação 1. Pode-se notar a dependência com a relação da transcondutância pela corrente (G_M/I_D), que mede a eficiência de V_{GS} em controlar I_D , e com a tensão Early (V_{EA}), parâmetro relacionado com a variação da corrente de saturação com V_{DS} . Idealmente o valor de V_{EA} deveria ser infinito, pois a reta não deveria ser inclinada, contudo, quando o transistor sofre SCE, a reta se torna inclinada, diminuindo o valor de V_{EA} .

$$A_V = G_M/I_D * |V_{EA}| \quad (1)$$

Na Figura 4 são apresentadas curvas de G_M/I_D em função de $I_D/(W/L)$. Por meio dela, é possível ver que com baixos valores de corrente (inversão fraca) há uma dependência desse valor com o W_{FIN} , tendo os maiores W_{FIN} apresentando menores valores de G_M/I_D . Isto ocorre devido ao fato de o patamar de G_M/I_D depender inversamente do fator de corpo. Como as nanofolhas apresentam $n > 1$, o valor de G_M/I_D diminui. Na Figura 5 são apresentadas curvas de $V_{EA} \times V_{DS}$. Nota-se que o maior controle eletrostático decorrente da redução de W_{FIN} resulta em maiores valores de V_{EA} .

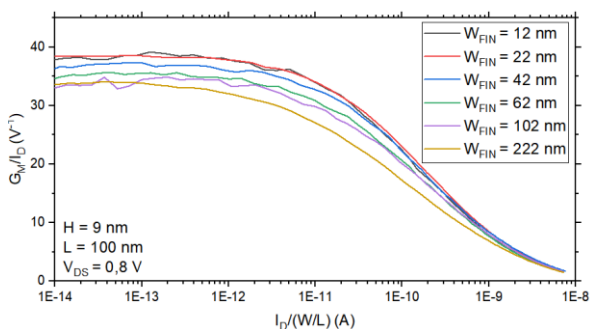


Figura 4 - Gráfico de $G_M/I_D \times I_D/(W/L)$.

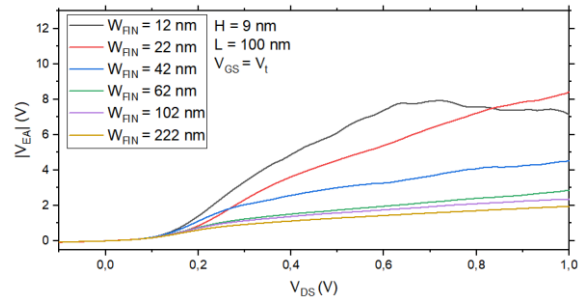


Figura 5 - Gráfico de $V_{EA} \times V_{DS}$

O ganho de tensão foi calculado com as seguintes polarizações: $V_{GS} = V_t$ e $V_{DS} = 0,8$ V. Foram extraídos os valores de G_M/I_D e de V_{EA} nestas condições, e o ganho foi obtido pela multiplicação indicada na equação 1. Na Figura 6 é apresentada a curva de A_V em função de W_{FIN} . Esta curva permite notar que os transistores nanofios apresentam maiores valores de A_V , pois para pequenos valores de W_{FIN} tanto o G_M/I_D quanto o V_{EA} apresentam valores maiores decorrentes do melhor controle da porta sobre o canal, resultando em melhora do ganho de tensão.

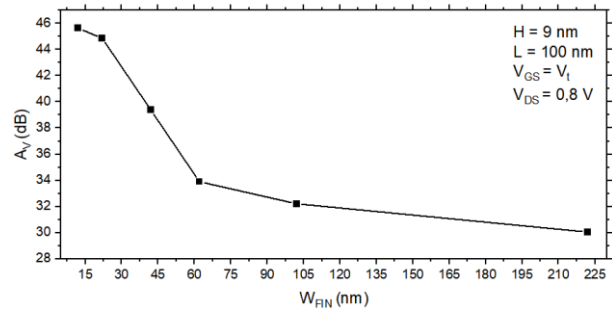


Figura 6 - Gráfico de A_V em função de W_{FIN}

4. Conclusões

Este trabalho apresentou a influência do W_{FIN} nos parâmetros de nanofios e nanofolhas transistores. Observou-se experimentalmente que, apesar do maior nível de corrente, transistores de nanofolhas sofrem mais de efeitos de canal curto do que nanofios. Os nanofios mostraram bom desempenho analógico, apresentando um aumento de mais de 10 dB no ganho de tensão comparado com as nanofolhas.

5. Referências

- [1] Veeraraghavan, S., Fossum, J. G., Short-Channel Effects in SOI MOSFETs, IEEE Transactions on Electron Devices, 1989.
- [2] R. Coquand et al, "Strain -Induced Performance Enhancement of Tri-Gate and Omega-Gate Nanowire FETs Scaled Down to 10nm Width", Symp. on VLSI Technology Digest of Technical Papers, p. 13-14, 2012.
- [3] S. Barraud et al., "Performance of omega-shaped-gate silicon nanowire MOSFET with diameter down to 8 nm," IEEE Electron Device Letters, vol. 33, no. 11, pp. 1526–1528, Nov. 2012.

Agradecimentos

Vinícius Prates agradece à FAPESP pelo apoio financeiro para a realização deste trabalho (Processo 2021/02993-3).

¹ Aluno de IC da FAPESP. Projeto com vigência de 06/2021 a 05/2022.